



HPM系列微控制器

ADC硬件设计指南

适用于上海先楫半导体 HPM系列高性能微控制器。

目录

第一章 简介	4
第二章 ADC外部电路设计	5
2.1 ADC的供电	5
2.2 系统3.3V电源设计	6
2.3 ADC的参考	7
2.4 VSOC电源	7
2.5 ADC的模拟信号输入	9
2.6 ADC的差分信号输入	9
2.7 ADC的模拟地和数字地分地问题	10
2.8 其他建议	11
第三章 总结	12
第四章 免责声明	14

版本信息

表1. 版本信息

日期	描述
2022-7-7	初版
2023-06-25	<ol style="list-style-type: none">1. 增加HPM6200芯片2. 增加DCDC设计描述3. 修改部分描述4. 增加ADC12差分信号描述
2023-12-16	<ol style="list-style-type: none">1. 增加LDO供电设计描述2. 增加DCDC设计描述3. 修改部分描述
2025-12-30	<ol style="list-style-type: none">1. 增加模拟地和数字地设计建议2. 增加外部DCDC设计描述3. 修改部分描述

第一章 简介

HPM系列 MCU 是来自上海先楫半导体科技有限公司的高性能实时 RISC-V 微控制器，为工业自动化及边缘计算应用提供了极大的算力、高效的控制能力。上海先楫半导体目前已经发布了如HPM6700/6400、HPM6300、HPM6200、HPM5300、HPM6E00、HPM6800、HPM6P00、HPM5E00等多个系列的高性能微控制器产品。

在使用到AD转换的应用中，ADC的精度会影响到整个应用系统的性能。ADC的精度并不仅仅取决于模数转换器本身，也与微控制器的外部电路设计有关。

本文提供了与HPM系列微控制器的模数转换器ADC相关的外部电路设计建议。

第二章 ADC外部电路设计

本章节主要提供了ADC的供电和参考引脚的硬件设计建议。HPM系列高性能MCU的模数转换器ADC的供电和参考相关引脚总结如下：

名称	电压范围	说明
VANA	3.0V~3.6V	ADC的模拟供电
VREFH	2.5V~VANA	ADC的高位参考电压
VREFL	AGND	ADC的低位参考电压，需要接模拟地。

表2. ADC的供电和参考引脚

2.1 ADC的供电

VANA为ADC的模拟供电引脚，VANA上的噪声有可能影响到ADC的精度，因此建议用户设计电路时，对HPM系列微控制器的VANA引脚谨慎处理，如条件允许，应采用单独的线性稳压器（LDO）对VANA供电，以降低开关电源的噪声对模拟电路的影响，推荐用户选择3.3V输出，供电电流大于200mA的LDO。另外，对于高精度采样，推荐使用电源纹波抑制比（PSRR）更高的LDO（通常推荐大于70dB@1KHz），LDO靠近VANA位置放置，并在尽可能靠近VANA引脚的位置，放置1个高品质、低ESR的小容值陶瓷电容（通常推荐10nF）以过滤高频噪声，和一个大容值电容（通常推荐4.7uF）用于过滤低频噪声。

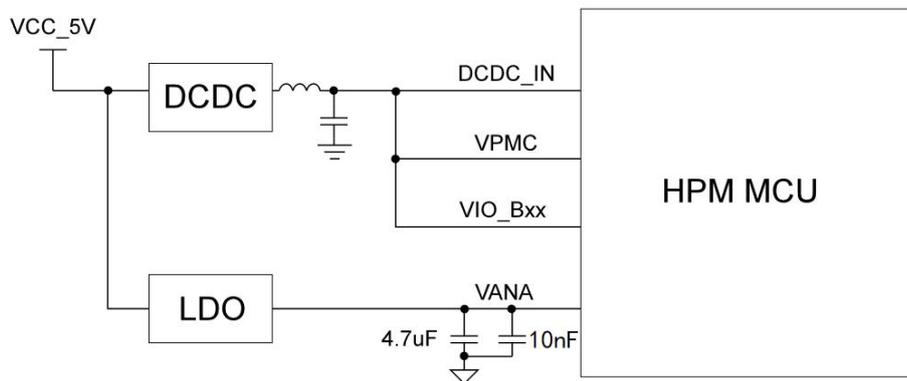


图1. VANA供电首选方案

用户如果出于种种因素，没有条件实现使用单独的线性稳压器对VANA供电，可以参考下图的次选方案：

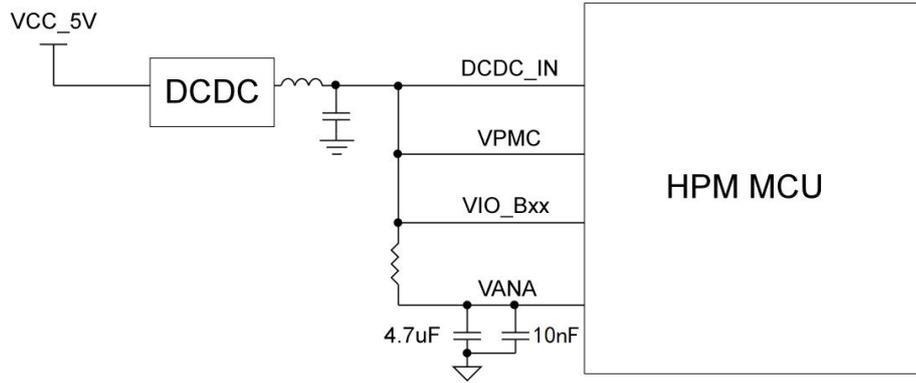


图2. VANA供电次选方案

在次选方案中，VANA应当通过磁珠单点连接到微控制器的3.3V供电电源，并在尽可能靠近VANA引脚的位置，放置1个高品质、低ESR的小容值陶瓷电容（通常推荐10nF）以过滤高频噪声，和一个大容值电容（通常推荐4.7uF）用于过滤低频噪声。VANA供电的次选方案对电源噪声相比推荐方案稍敏感，但是用到的电源器件较为节省（节省一个LDO），如果用户对ADC的性能要求不严格，可以采用该供电方案。

2.2 系统3.3V电源设计

如图1和图2所示，HPM系列高性能微控制器支持单3.3V供电，可以对所有供电引脚提供统一的3.3V，对以下电源供电引脚：

- DCDC_IN，片上DCDC的供电引脚，片内DCDC提供1.2V的核心电压输出。
- VPMC，LDOPMC，LDO0TP和电源管理域的外设供电引脚。
- VIO_Bxx，各个IO Bank的供电引脚。

这些供电引脚提供了微控制器整体功耗的主要部分，因此推荐用户使用效率更高，EMI更低和纹波更小的DCDC开关电源为之供电，对于不同系列产品，电源设计输出电流应有不小于1A的输出能力。由于DCDC是一个EMI源，较大的EMI会导致ADC采样噪声增加，因此推荐采取适当措施降低DCDC噪声，例如以下是降低DCDC EMI干扰的几个常见的措施：

1. 推荐选择低ESR输入和输出电容和高品质屏蔽电感以减少噪声产生。因多层陶瓷电容器（MLCC）具有更小的ESR，因此通常推荐输入和输出电容采用多个大容量陶瓷电容并联用来增加电容容量和降低ESR，同时并联额外的高频小容量陶瓷电容（通常推荐0.1uF）以提供高频滤波。电感和输入、输出电容器规格选择需按照芯片手册中推荐的计算方式进行选择。
2. 采用DCDC手册上推荐的layout方案，输入电容就近放在芯片的输入Vin和功率地PGND，减少开关环路面积，同时减少寄生电感的存在，防止谐振引起振铃电压。滤波电感和输出滤波电容也尽可能靠近芯片，功率回路尽可能的粗短，SW点是噪声源，保证电流的同时保持尽量小的面积，远离敏感的易受干扰的位置，如FB等。
3. 在可接受的功率损耗范围内，芯片SW脚和PGND之间预留RC吸收电路，用来抑制振铃，避免调试的时候改板。
4. 对于有BST的DCDC，可以利用BST电路来减小上管开通时间，在BST 电容上串一个限流电阻，可以减小驱动电流，从而减缓上管开通速度，降低EMI噪声。

5. DCDC远离模拟区，远离易受干扰的信号。

请注意，以上是推荐的常见的降低DCDC干扰的方式，并不一定适用所有DCDC芯片，实际应用取决于用户实际电路和DCDC芯片，请仔细阅读DCDC芯片手册以选择合适的方式降低EMI干扰。

此外，为了最大限度降低DCDC噪声对ADC的影响，系统3.3V电源也可以选择由LDO提供，一般要求LDO输出电流能力不小于1A。由于LDO的效率较低，大电流会导致LDO发热，因此设计时需要注意LDO的热阻参数和散热问题。

2.3 ADC的参考

VREFH是模数转换器ADC的高位参考电压输入。VREFH的稳定直接影响到ADC的转换精度和抗噪声特性。建议用户采用独立的基准电压模块，提供VREFH，如下图所示：

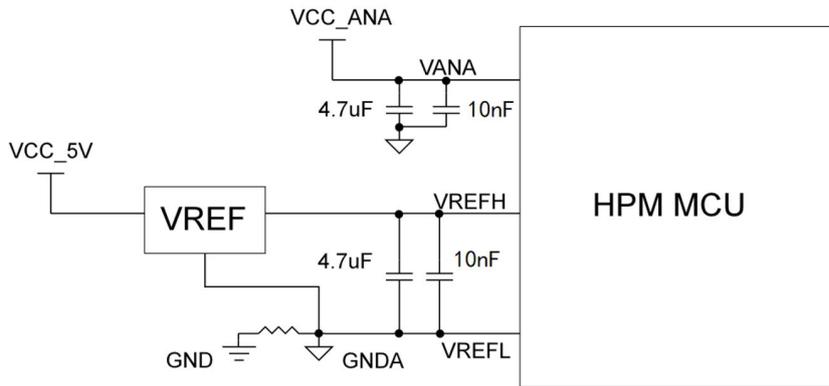


图3. VREFH首选方案

建议用户使用外部的基准电压模块提供VREFH，并在尽可能靠近VREFH引脚的位置，并联1个4.7uF和1个10nF的陶瓷电容到模拟地用于滤波。

注意，VREFH的电压不要超过VANA的供电电压。

VREFL是ADC的低位参考电压，建议直接连接到模拟地，模拟地应当通过0Ω的电阻或磁珠，或窄桥铜箔单点与数字地连接。

对于高分辨率高速ADC采样，基准电压芯片噪声，温漂等参数影响系统的精度和稳定性。因此，在条件允许的情况下，推荐噪声更低，温漂更低的串联型基准电压芯片。

2.4 VSOC电源

HPM系列片上自带DCDC电源，将3.3V的外部电源转化为典型值为1.2V的供电，能够为系统电源域的电路提供电源。

DCDC电感推荐选择4.7uH额定电流为1.2A以上的小尺寸叠层或屏蔽电感，电感靠近电源引脚放置。

输入电容使用至少两个22uF高品质、低ESR陶瓷电容和一个100nF的高品质、低ESR陶瓷电容并联，输入滤波电容尽可能靠近DCDC_IN管脚放置，100nF电容更靠近DCDC_IN管脚。

输出电容同样使用低ESR的陶瓷电容器，推荐至少两个22uF高品质、低ESR陶瓷电容和一个100nF高品质、低ESR陶瓷电容并联。

尽可能减少开通环路和续流环路面积，功率回路尽可能的粗短，以减少走线寄生电感电容引起的振铃电压。
DCDC_LP走线在保证电流的同时尽可能减少面积，以防止开关节点其对其他回路产生干扰。

在DCDC_LP引脚放置适当参数的RC缓冲电路，用来抑制DCDC开关产生的振铃。

为了减少DCDC噪声的干扰，推荐DCDC_GND通过0Ω电阻或窄桥铜箔单点和参考地连接。

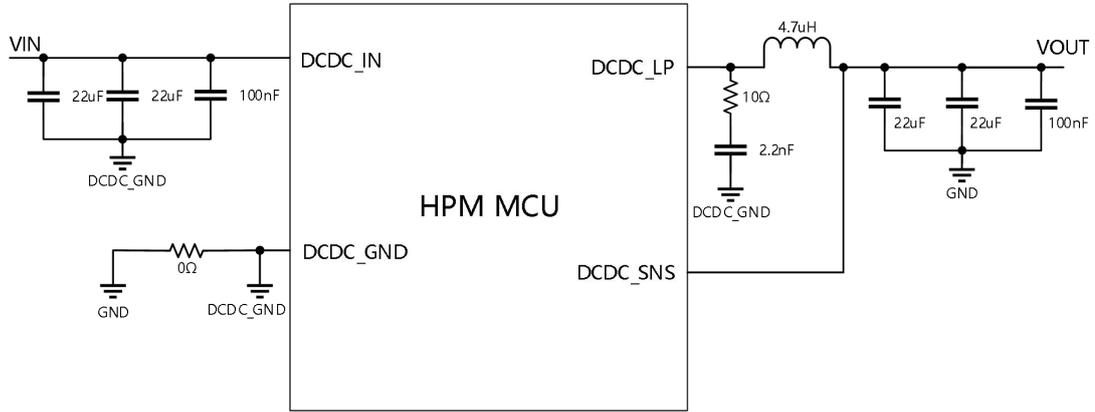


图4. DCDC供电方案

对于高精度采样的应用场景，可通过外部LDO或外部DCDC提供1.2V电压为V_{CORE}供电，同时关闭片上DCDC，以杜绝DCDC的噪声干扰ADC采样。具体做法如下：

1. DCDC_IN脚通过10K电阻接地，禁止浮空。
2. DCDC_LP脚通过10K电阻接地，或浮空。
3. DCDC_GND接地。
4. DCDC_SNS脚通过10K电阻接地或浮空。
5. LDO/DCDC 1.2V 输出接V_{SOC}（注：外部电源供电时需满足芯片数据手册中要求的V_{SOC}电压范围）。

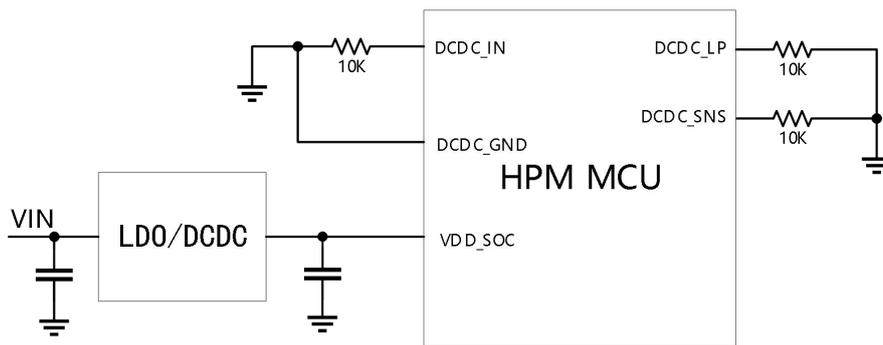


图5. VSOC外部供电方案

注意：对于某些型号的芯片，例如HPM53XX1EG1，其DCDC_IN与VMPC内部共用一个引脚，推荐的做法是DCDC_IN/VMPC接3.3V，DCDC_LP浮空即可，禁止直接接地，在上电后通过软件程序把DCDC disable（写DCDC_MODE寄存器）。

对于LDO供电方案，推荐LDO输出电压应满足HPM MCU规格书中规定的工作电压范围，同时电流能力不小于1A，并且注意LDO的热阻系数，选择压差更低的LDO，同时降低LDO 输入和输出电压压差，例如降低输入端电压值或输入串入二极管或电阻的方式，以分担LDO发热量，必要时请做额外的散热处理。LDO输出电容在电路稳定条件允许情况下接足够大的电容（一般推荐22uF~47uF电容并联0.1uF陶瓷电容），以提高大负载电流变化的瞬态响应。LDO输出走线线宽尽可能粗且短，尽可能降低走线阻抗。

对于外部DCDC供电的应用，请参考2.2节中DCDC设计注意事项。

注意：对于HPM6P00系列MCU，由于内部DCDC对ADC采样产生干扰较大，因此推荐使用外部供电方案。其他系列MCU可根据设计需求选择合适的供电方案，一般而言，外部供电方案会显著优于内部DCDC供电方案。

2.5 ADC的模拟信号输入

ADC的模拟信号输入线路上引入的噪声会对ADC的转换精度造成影响，用户可以采取以下措施，尽可能消除输入信号的噪声：

- 尽可能减短输入信号线路的长度，模拟信号线相邻层放置完整的参考平面，减小模拟信号回流路径。
- 避免在模拟信号线平行布置数字信号线路。
- 如果条件允许，可以在模拟信号线两侧布置地线用作屏蔽。
- 考虑在靠近ADC输入引脚的位置添加外部RC滤波器，注意RC滤波器的截止频率应高于应用关心的ADC模拟输入信号的频率。
- 对于驱动能力差的模拟信号，推荐接电压跟随器以提高驱动能力，在电压跟随器前端加参数合适的RC滤波器，以过滤输入模拟信号的噪声。电压跟随器后靠近模拟输入管脚位置处放置一个RC滤波器可以过滤电压跟随器到模拟输入信号的噪声。

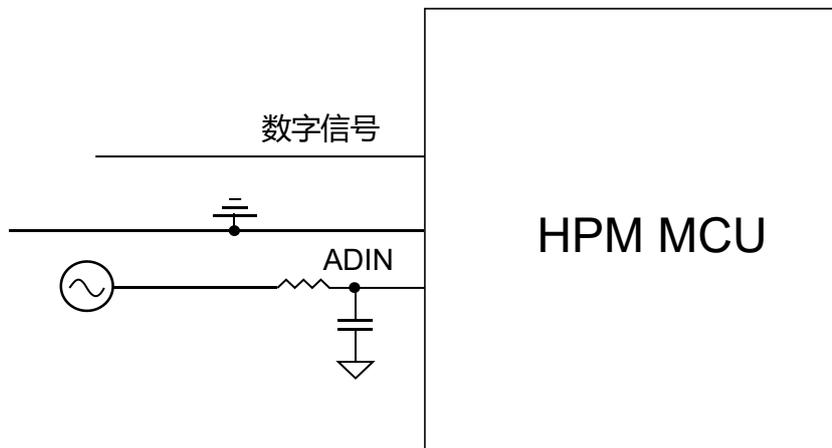


图6. 模拟信号输入推荐

2.6 ADC的差分信号输入

对于支持差分输入的ADC，其共模电平范围为 $(V_{REFH}+V_{REFL})/2-0.18V \sim (V_{REFH}+V_{REFL})/2+0.18V$ ，如果差分输入信号的共模电平水平不满足要求，用户可以利用2个ADC12同时对差分输入信号对的2个通道各自进行单端转换，并将转换结果相减。对于HPM6P00系列MCU差分ADC，没有共模电压要求。

对于差分信号走线，用户可以采取以下措施，尽可能消除输入信号的噪声：

- 差分线对的长度要相等，阻抗要一致，以减少传输时的时间差和干扰。

- 差分线要与其他信号线隔离，尽可能减少干扰。
- 差分信号线要在同一层板上布线，不可交叉。
- 差分线要尽可能短，输出端尽可能接近ADC的输入端，减少多余的信号传输路径，避免在传输过程中产生噪音和损失。
- 差分信号线的信号和地线要尽量靠在一起，形成对电容，减小干扰。

对于不支持差分输入的ADC（12位或16位）同样可以使用两个ADC同时对差分输入信号对的2个通道各自进行单端转换，并将转换结果相减，差分可以有效去除系统中的噪声干扰。

伪差分是将其中一个信号设置为固定电压（定义为伪差分参考点，一般为 $V_{REFH}/2$ ），另外一路信号为目标信号，则通过两个ADC同时对这2个信号进行单端转换，并将转换结果相减后加上伪差分参考点的电压即可得目标信号的除去共模噪声的信号电压值。通过伪差分转换也可以有效去除系统中的噪声干扰。

2.7 ADC的模拟地和数字地分地问题

模拟地与数字地（及其对应电源）的分离是提升系统信噪比的关键设计实践。然而，不正确的分割策略反而可能引入更严重的噪声与信号完整性问题。因此，实施此项技术须遵循以下核心原则：

1. 分离的核心目的与条件

分离旨在确保高噪声的数字信号电流不会流入敏感的模拟地区域。为此，所有信号应避免跨越分割边界；唯一允许跨越的是静态或极低频率的信号。

2. 单点连接的正确方法

模拟地与数字地必须在且仅在一个点上连接，此单点应选在MCU ADC接地参考点附近，同时为实现最佳性能，该连接点的布局需遵循以下原则：

- 参考源共地：为ADC提供基准电压的参考源（ V_{REF} ）的接地端，直接连接至此接地点附近。
- 电源去耦：模拟电源（ $AVDD$ ）和基准电源（ V_{REF} ）的输入和输出去耦电容，其接地端也应直接连接至接地点附近。

连接方式可选择：

- 零欧姆电阻或跳线：提供了一种简单、可预测的低阻抗连接。
- 铁氧体磁珠：其优势在于低直流电阻与可忽略的电容，但需通过仿真确认其在噪声频点的阻抗特性，并验证其不会在操作电流下饱和。
- 直接窄桥连接：在统一地平面上通过铜箔创建一个受控的连接点。

3. 务实的fallback方案

如果设计约束导致无法实现理想、完整的隔离，则应放弃分割，转而采用一个统一、完整的接地平面。一个完整且未被严重割裂的地平面，远胜于一个布局不当的分割地平面。采用完整地平面时也应注意高频数字信号回流路径不能经过模拟区，否则数字噪声可通过地平面干扰模拟信号。在工程实践中通常推荐采用一种“先分割，后合并”的接地设计方法：

1. 布局时分割：在PCB布局初期，将数字地与模拟地在逻辑上进行划分，并分别铺铜。

2. 严格分区布线：确保所有数字信号走线仅在数字地区域内并参考数字地平面；所有模拟信号走线仅在模拟地区域内并参考模拟地平面。

3. 后期合并：在所有信号走线完成后，移除数字地与模拟地之间的物理分割屏障，形成一个完整、统一的地平面。

此方法的优势在于：它通过在布局阶段强制实施电流隔离，避免了数字噪声对敏感模拟电路的干扰；而最终合并为一个完整平面，则保证了所有返回电流都能找到一个低阻抗路径，并最小化最终产品的环路面积。

2.8 其他建议

在高精度采样应用中，对于模拟bank，除模拟信号输入口的其他IO，建议在条件允许的情况下不设置为数字通信接口，以防止数字通信对模拟bank的模拟信号输入口的影响。模拟bank供电接口推荐接模拟3.3V电源。

第三章 总结

本文提供了HPM系列微控制器模数转换器ADC相关的硬件设计指南，ADC的参考电压和模拟供电质量直接关系到ADC的转换精度。建议用户根据应用的ADC转换精度要求，在以下几种参考方案中，选择合适的。

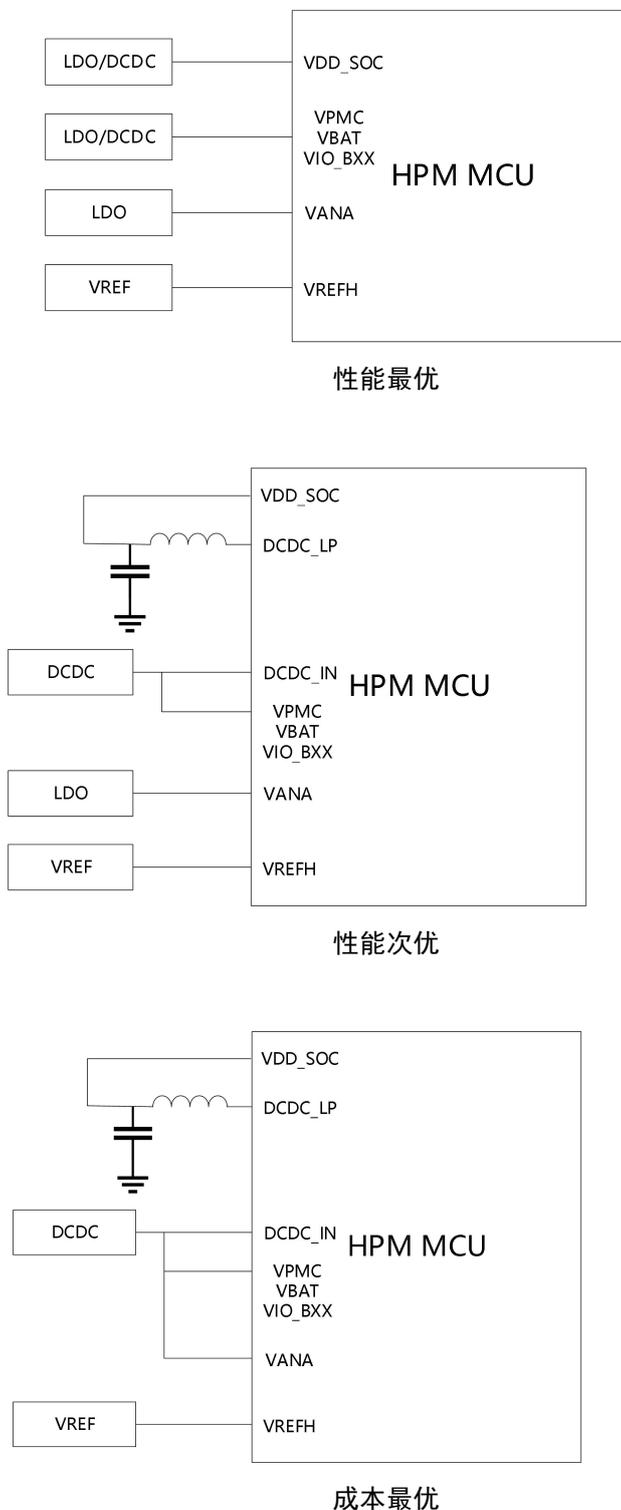


图7. ADC供电和参考连接方案总结

如上图所示，建议用户使用独立的线性稳压器产生VANA供电，独立的外部基准电压生成VREFH参考，同时VSOC由外部LDO或外部DCDC提供，以此获得最优的ADC转换精度。

也可以考虑使用片上DCDC电源，同时使用独立线性稳压器产生VANA和独立的外部基准源。该方案可以获得次优性能。性能最优的参考方案（前者），相比性能次优的参考方案（后者），ADC转换结果噪声降低可达约5%~10%。

对于ADC转换精度要求不严格的用户，可以使用开关电源DCDC产生MCU的全部供电。这个成本最优的参考方案，相比性能最优和性能次优的方案，ADC转换结果噪声增加可达20%~50%。

注意，ADC的转换精度受多种因素影响，各推荐方案及其效果仅供参考，建议用户根据自身应用对ADC的要求，选择合适的方案。

第四章 免责声明

上海先楫半导体科技有限公司（以下简称：“先楫”）保留随时更改、更正、增强、修改先楫半导体产品和/或本档的权利，恕不另行通知。用户可在先楫官方网站 <https://www.hpmicro.com> 获取最新相关信息。

本声明中的信息取代并替换先前版本中声明的信息。