

HPM5300 系列高性能微控制器数据手册 Rev0.12

- 32 位 RISC-V 处理器
 - 支持 RV32-IMAFDCBP 指令集
 - 3.57 Coremark/MHz, 1.98 DMIPS/MHz
 - DSP 单元, 支持 SIMD 和 DSP 指令
 - L1 指令缓存和数据缓存各 16KB
 - 指令本地存储器 ILM 和数据本地存储器 DLM 各 128KB
- 内置存储器
 - 共 288 KB 片上 SRAM, 包括通用内存和 CPU 的本地存储器
 - 1 MB 内置闪存
 - 4096 位 OTP
 - 128 KB BOOT ROM
- 电源和时钟
 - 多个片上电源, 包括 DCDC 和 LDO
 - 低功耗模式, 运行模式、等待模式、停止模式、休眠模式和关机模式
 - 24MHz 晶体振荡器
 - 24MHz 和 32KHz 内部 RC 振荡器
 - 2 个 PLL, 支持小数分频、展频
- 外部存储器接口
 - 1 个串行总线控制器 XPI, 支持各类外部串行 Flash 和 PSRAM
- 运动控制系统
 - 2 个 PWM 定时器
 - 2 个正交编码器输入 QEIv2 和 2 个正交编码器输出 QEO
 - 2 个串行编码器接口 SEI
 - 2 个运动管理控制器 MMC
 - 1 个旋变解码器 RDC
 - 1 个可编程逻辑模块 PLB
- 定时器
 - 5 组 32 位通用定时器
 - 3 个看门狗
 - 实时时钟
- 通讯接口
 - 9 个 UART、4 个 SPI、4 个 I2C
 - 1 个 USB 2.0 OTG, 集成 HS-PHY
 - 4 个 CAN 控制器, 支持 CAN-FD
- 高性能模拟外设
 - 2 个 ADC, 16 位/2MSPS, 可配置为 12 位/4MSPS, 共支持 16 路模拟输入引脚
 - 2 个 12 位 DAC, 1MSPS
 - 2 个模拟比较器
 - 2 个运算放大器
- 输入输出
 - 56 个 GPIO
 - IO 支持 3.3V 和 1.8V
- 信息安全
 - AES-128/256 加解密引擎, 支持 ECB, CBC 模式
 - 支持 SM2, SM3, SM4
 - SHA-1/256 哈希模块
 - 真随机数发生器
 - NOR Flash 实时解密

产品型号:
HPM5361ICB1、HPM5361ICF1、 HPM5361IEG1
HPM5331ICB1、HPM5331ICF1、 HPM5331IEG1
HPM5321ICB1、HPM5321ICF1、 HPM5321IEG1
HPM5301IEG1



目录

1 产品概述	3
1.1 系统框图	3
1.2 特性总结	5
1.2.1 内核与系统	5
1.2.2 内部存储器	6
1.2.3 电源管理	6
1.2.4 时钟	6
1.2.5 复位	7
1.2.6 启动	7
1.2.7 外部存储器	7
1.2.8 运动控制系统	7
1.2.9 定时器	8
1.2.10 通讯外设	8
1.2.11 模拟外设	8
1.2.12 输入输出	8
1.2.13 信息安全部系统	9
1.2.14 系统调试	9
2 引脚及功能描述	11
2.1 LQFP100 引脚分布	11
2.2 LQFP64 引脚分布	12
2.3 QFN48 引脚分布	13
2.4 引脚配置及功能 PINMUX	14
2.5 特殊功能引脚	36
2.6 IO 复位状态	36
2.7 IO 供电引脚	37
3 电源	38
3.1 电源框图	38
3.2 上下电时序	39
4 电气特性	40
4.1 工作条件	40
4.1.1 最大值和最小值	40
4.1.2 正常工作条件	41
4.2 内置闪存特性	41
4.3 DCDC 电气特性	42
4.4 VPMC 欠压检测	42
4.5 复位引脚 RESET_N	43
4.6 振荡器	43
4.6.1 24MHz 振荡器特性	43
4.6.2 32KHz RC 振荡器时钟特性	43
4.6.3 24MHz RC 振荡器时钟特性	43

4.6.4 PLL 特性	44
4.7 外设时钟特性	44
4.8 工作模式	46
4.9 供电电流特性	46
4.10 I/O 特性	48
4.10.1 I/O DC 特性	48
4.10.2 I/O AC 特性	48
4.11 JTAG 接口	50
4.12 XPI 存储器接口	51
4.12.1 DC 特性	51
4.12.2 AC 特性	51
4.13 模拟接口	56
4.13.1 16 位模数转换 ADC 特性	56
4.13.2 比较器 ACMP 特性	57
4.13.3 12 位数模转换器 DAC 特性	57
4.13.4 运算放大器 OPAMP 特性	58
4.14 SPI 接口	64
4.14.1 SPI 主模式时序图	64
4.14.2 SPI 从模式时序图	65
4.15 I2C 接口	67
5 封装	68
5.1 LQFP100 封装尺寸	68
5.2 LQFP64 封装尺寸	69
5.3 QFN48 封装尺寸	70
5.4 封装热阻系数	70
6 订购信息	71
6.1 产品命名规则	71
6.2 订购信息	71
6.3 封装引出功能差异	72
7 版本信息	74
8 免责声明	76

表格目录

1	外设简称总结	5
2	SOC IOMUX	34
3	PMIC IOMUX	35
4	启动配置表	36
5	特殊功能引脚配置	36
6	IO 复位状态表	37
7	电源部分电感, 电容参考值	38
8	最大值和最小值	40
9	正常工作条件	41
10	内置闪存特性	42
11	DCDC 电气特性	42
12	VPMC 欠压检测特性	43
13	RESET_N 低电平复位特性	43
14	24MHz 晶振	43
15	32KHz RC 振荡器	43
16	24MHz RC 振荡器	44
17	PLL 特性参数	44
18	外设时钟特性	45
19	工作模式配置表	46
20	运行模式的典型电流	46
21	IDD(VPMC) 典型电流	47
22	IDD(VANA) 典型电流	47
23	IDD(VPLL) 典型电流	47
24	IO 工作条件	48
25	I/O AC 特性	49
26	JTAG 时序参数	50
27	XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0x0)	51
28	XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0x1)	51
29	XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0x3, 情形 1)	52
30	XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0x3, 情形 2)	52
31	XPI DDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0x0)	53
32	XPI DDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0x1)	53
33	XPI DDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0x3)	54
34	XPI SDR 模式的输出信号时序	54
35	XPI DDR 模式的输出信号时序	55
36	16 位 ADC 参数	56
37	比较器参数	57
38	12 位 DAC 参数	58
39	OPAMP 参数	63
40	SPI 主模式参数 (注: tperiph = 1000 / fperiph)	65

41	SPI 从模式参数 (注: $t_{periph} = 1000 / f_{periph}$)	66
42	I2C 工作模式及参数	67
43	各封装热阻系数表	70
44	订购信息	72
45	封装引出功能差异	73
46	版本信息	75

图片目录

1	系统架构框图	3
2	LQFP100 引脚分布	11
3	LQFP64 引脚分布	12
4	QFN48 引脚分布	13
5	系统供电框图	38
6	不使用内置 DCDC 的系统供电框图	39
7	I/O AC 特性	48
8	JTAG 时序图	50
9	XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0x0,0x1)	51
10	XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0x3, 情形 1)	52
11	XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0x3, 情形 2)	52
12	XPI DDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0x0,0x1)	53
13	XPI DDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0x3)	53
14	XPI SDR 模式的输出信号	54
15	XPI DDR 模式的输出信号	54
16	SPI 主模式时序 (CPHA=0)	64
17	SPI 主模式时序 (CPHA=1)	64
18	SPI 从模式时序 (CPHA=0)	65
19	SPI 从模式时序 (CPHA=1)	65
20	LQFP100 封装尺寸图	68
21	LQFP64 封装尺寸图	69
22	QFN48 封装尺寸图	70
23	产品命名规则	71

1 产品概述

1.1 系统框图

本产品的系统框图如图 1。

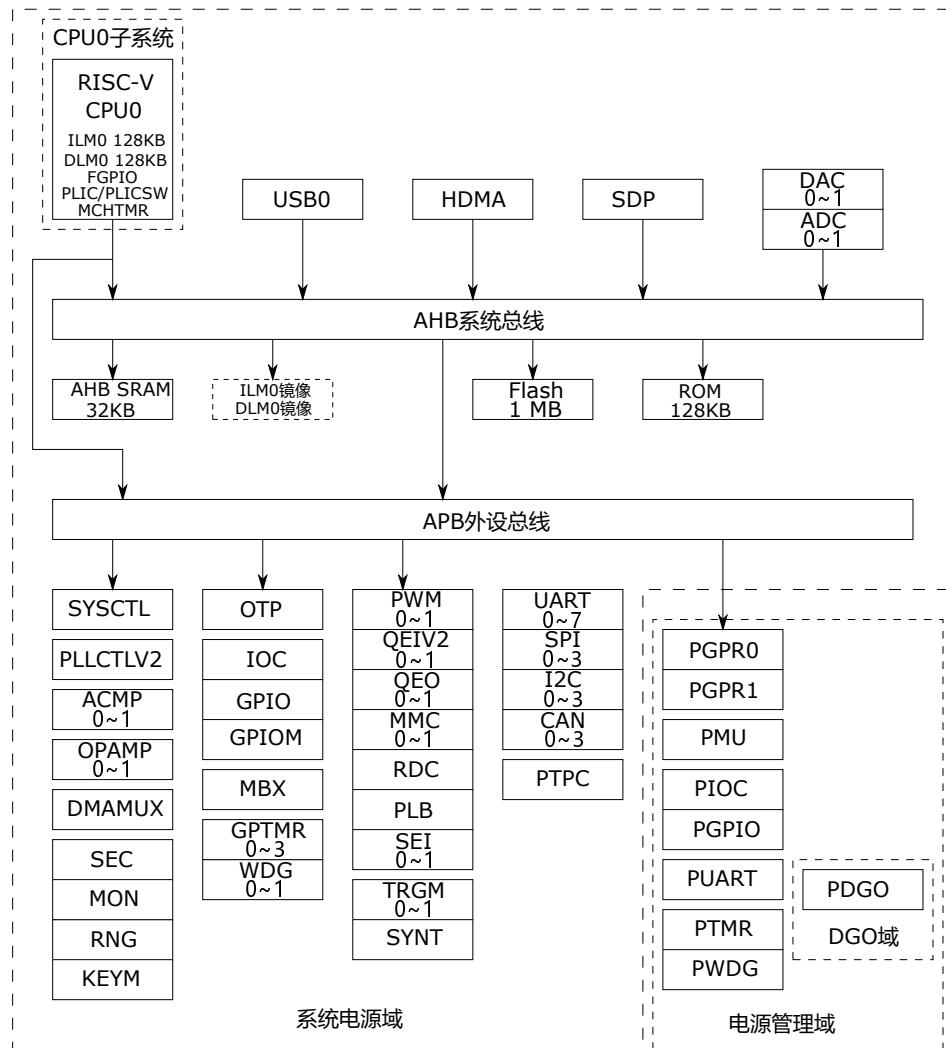


图 1: 系统架构框图

表 1 总结了图 1 中所有外设简称的释义。

简称	描述
CPU0 子系统	包含 RISC-V CPU0 及其本地存储器和私有外设的子系统
HART	硬件线程 (Hardware Thread), RISC-V 规范定义一个可以包含完整 RISC-V 体系架构, 并可以独立执行指令的单元为 HART。本手册中, HART 等同与 RISC-V 内核。
ILM	指令本地存储器 (Instruction Local Memory)
DLM	数据本地存储器 (Data Local Memory)
GPIO	快速 GPIO 控制器 (Fast General Purpose Input Output)

简称	描述
USB	通用串行总线 (Universal Serial Bus)
SDP	安全数据处理器 (Secure Data Processor)
HDMA	AHB 外设总线 DMA 控制器 (AHB DMA)
AHB SRAM	AHB 总线 SRAM
EXIP	在线解密模块 (Encrypted Execution-In-Place)
ADC	模数转换器 (Analog-to-Digital Convertor)
DAC	数模转换器 (Digital-to-Analog Convertor)
SYSCTL	系统控制模块 (System Control)
PLLCTL	锁相环控制器 (PLL Controller)
ACMP	模拟比较器 (Analog Comparator)
MBX	信箱 (Mailbox)
DMAMUX	DMA 请求路由器
IOC	IO 控制器 (Input Output Controller)
PIOC	电源管理域 IO 控制器
GPIO	通用输入输出控制器 (General Purpose Input Output)
PGPIO	电源管理域 GPIO 控制器
GPIOM	GPIO 管理器 (GPIO Manager)
OTP	一次性可编程存储 (One Time Program)
PWM	PWM 定时器 (Pulse Width Modulation)
QEIV2	正交编码器输入 (Quadrature Encoder Input)
QEO	正交编码器输出 (Quadrature Encoder Output)
SEI	串行编码器接口 (Serial Encoder Interface)
MMC	运动管理控制器 (Motion Management Controller)
RDC	旋转变压器接口 (Resolver Decoder)
PLB	可编程逻辑单元 (Programmable Logic Block)
TRGM	互连管理器 (Trigger Manager)
SYNT	同步定时器 (Sync Timer)
GPTMR	通用定时器 (General Purpose Timer)
PTMR	电源管理域内的通用定时器
EWDG	看门狗 (Watchdog)
PWDG	电源管理域内的看门狗
UART	通用异步收发器 (Universal Asynchronous Receiver and Transmitter)
PUART	电源管理域内的通用异步收发器
SPI	串行外设接口 (Serial Peripheral Interface)
I2C	集成电路总线 (Inter-Integrated Circuit)
CAN	控制器局域网 (Control Area Network)
PTPC	精确时间协议模块 (Precise Time Protocol)
RNG	随机数发生器 (Random Number Generator)
KEYM	密钥管理器 (Key Manager)
PGPR0/1	电源管理域的通用寄存器 0/1

简称	描述
PCFG	电源管理域配置模块
PDGO	电源管理域开关机模块
SEC	安全管理器
MON	安全监视器
系统电源域	本手册中, 系统电源域专指由 VDD_SOC 供电的逻辑和存储电路
电源管理域	本手册中, 电源管理域专指由 VPMC 供电的逻辑和存储电路

表 1: 外设简称总结

1.2 特性总结

本章节介绍本产品的主要特性。

1.2.1 内核与系统

32 位 RISC-V 处理器, 处理器特性如下:

- RV32-IMAFDCBP 指令集
 - 整数指令集
 - 乘法指令集
 - 原子指令集
 - 单精度浮点数指令集
 - 双精度浮点数指令集
 - 压缩指令集
 - 位运算指令集
 - DSP 单元, 支持 SIMD 和 DSP 指令, 兼容 P 扩展指令集
- 性能可达 3.57 CoreMark / MHz
- 特权模式支持 Machine 模式和 User 模式
- 支持 16 个物理内存保护 (Physical Memory Protection PMP) 区域
- 支持 16KB L1 指令缓存和 16KB L1 数据缓存
- 支持 128 KB 指令本地存储器 ILM 和 128 KB 数据本地存储器 DLM

处理器配备 1 个平台中断控制器 PLIC, 用于管理 RISC-V 的外部中断

- 支持多个中断源
- 支持 8 级可编程中断优先级
- 中断嵌套扩展和中断向量扩展

处理器内核配备 1 个软件中断控制器 PLICSW, 管理 RISC-V 的软件中断

- 生成 RISC-V 软件中断

处理器内核配备 1 个机器定时器 MCHTMR, 管理 RISC-V 的定时器中断

- 生成 RISC-V 定时器中断

DMA 控制器:

- HDMA, 支持 32 个通道, 用于在外设寄存器和存储器之间进行低延迟的数据搬移, 也可以用于存储器之间的数据搬移

- 支持 DMA 请求路由分配到任意 DMA 控制器

包括 1 个邮箱 MBX，支持处理器不同进程间的通信：

- 支持独立的信息收发接口
- 支持生成中断

1.2.2 内部存储器

内部存储器包括：

- 288 KB 的片上 SRAM
 - ILM0, RISC-V CPU0 的指令本地存储器, 128KB
 - DLM0, RISC-V CPU0 的数据本地存储器, 128KB
 - AHB SRAM, 32KB, 适用于 HDMA 的低延时访问
- 通用寄存器
 - 电源管理域通用寄存器 PGPR, 2 组各 64 字节 (共 128 字节), 可以在系统电源域掉电时保存数据
 - DGO 通用寄存器 DGO_GPR, 容量 16 字节, 可以在系统电源域, 电源管理域掉电时保存数据
- 内部只读存储器 ROM, 容量 128KB, ROM 存放本产品的启动代码, 闪存加载 (Flashloader) 和部分外设驱动程序
- 一次性可编程存储器 OTP, 4096 位, 可用于存放芯片的部分出厂信息, 用户密钥和安全配置, 启动配置等数据

1.2.3 电源管理

本产品集成了完整的电源管理系统：

- 多个片上电源
 - DCDC 电压转换器, 提供 0.9~1.3V 输出, 为系统电源域的电路供电, 可调节 DCDC 输出, 以支持动态电压频率调整 DVFS, 来优化运行时的功耗
 - LDOPMC, 典型值 1.1V 输出的线性稳压器, 为电源管理域的电路供电
 - LDOOTP, 典型值 2.5V 输出的线性稳压器, 为 OTP 供电, 仅可在烧写 OTP 时打开
- 运行模式和低功耗模式: 等待模式、停止模式、休眠模式和关机模式
- 芯片集成上电复位电路
- 芯片集成低压检测电路

1.2.4 时钟

本产品时钟管理系统支持多个时钟源和时钟低功耗管理：

- 外部时钟源：
 - 24MHz 片上振荡器, OSC24M, 支持 24MHz 晶体, 也支持通过引脚从外部输入 24MHz 有源时钟
- 内部时钟源：
 - 内部 RC 振荡器, RC24M, 频率 24MHz, 允许配置内部 RC 振荡器作为 PLL 的候补时钟源
 - 内部 32KHz RC 振荡器, RC32K
- 2 个锁相环 PLL, 支持小数分频, 支持展频
- 支持低功耗管理, 支持自动时钟门控

1.2.5 复位

全局复位，可以复位整个芯片，包括电源管理域和系统电源域，复位源有：

- RESETN 引脚复位 (RESETN)

系统电源域复位可以复位系统电源域，复位源有：

- VPMC 引脚的低压复位 (VPMC Brownout)
- 调试复位 (DEBUG RST)
- 看门狗复位 (WDOGx RST)
- 软件复位 (SW RST)

1.2.6 启动

BootROM 为该芯片上电后执行的第一段程序，它支持如下功能：

- 从串行 NOR FLASH 启动
- UART/USB 启动
- 在系统编程 (ISP)
- 安全启动
- 低功耗唤醒
- 多种 ROM API

1.2.7 外部存储器

外部存储器接口包括：

- 1 个串行总线控制器 XPI，可以连接片外的各种 SPI 串行存储设备，也可以连接支持串行总线的器件，每个 XPI：
 - 支持 1/2/4 位数据模式，支持 2 个 CS 片选信号
 - 支持 SDR 和 DDR，最高支持 166MHz
 - 支持 Quad-SPI 和 Octal-SPI 的串行 NOR Flash
 - 支持串行 NAND Flash
 - 支持 HyperBus, HyperRAM 和 HyperFlash
 - 支持 Quad/Oct SPI PSRAM

1.2.8 运动控制系统

运动控制系统包括：

- 2 个 8 通道 PWM 定时器 PWM，PWM 调制精度达 3.0ns，支持产生互补 PWM 输出，死区插入和故障保护
- 2 个正交编码器输入 QElv2
- 2 个正交编码器输出 QEO
- 2 个运动管理控制器 MMC
- 1 个旋转变压器解码 RDC
- 1 个可编程逻辑单元 PLB
- 2 个串行编码器接口 SEI
- 1 个互联管理器 TRGM，各模块支持通过互联管理器 TRGM 与电机控制系统内部或外部的模块交互

- 1 个同步定时器，用于同步

1.2.9 定时器

定时器包括：

- 5 组 32 位通用定时器，其中一组 (PTMR) 位于电源管理域，支持低功耗唤醒，每组通用定时器包括 4 个 32 位计数器
- 3 个看门狗，其中一个 (PWDG) 位于电源管理域

1.2.10 通讯外设

支持丰富的通讯外设，包括：

- 9 个通用异步收发器 UART，其中 1 个 (PUART) 位于电源管理域，支持低功耗唤醒
- 4 个串行外设接口 SPI
- 4 个集成电路总线 I2C，支持标准 (100kbps)，快速 (400kbps) 和快速 + (1 Mbps)
- 4 个控制器局域网 CAN，支持 CAN_FD
 - 支持 CAN 2.0B 标准，1Mbps
 - 支持 CAN FD，8 Mbps
 - 支持时间戳
- 1 个精确时间协议模块 PTPC，PTPC 支持 2 组时间戳模块，每组包含 64 位计数器，连接到 CAN 模块，CAN 模块可以随时从端口读取时间戳信息
- 1 个 USB OTG 控制器，集成 1 个高速 USB-PHY
 - 符合 *Universal Serial Bus Specification Rev. 2.0*

1.2.11 模拟外设

模拟外设包括：

- 2 个 16 位模拟数字转换器 ADC
 - 16 位逐次逼近型 ADC
 - 支持 16 个输入通道
 - 2M 采样率，4M 采样率（转换精度设置为 12 位）
- 2 个高速比较器
 - 工作电压 3.0 ~ 3.6V，支持轨到轨输入
 - 内置 8 位 DAC
- 2 个数模转换器 DAC
 - 12 位精度，1MSPS，支持输出缓存
- 2 个运算放大器 OPAMP
 - 支持 PGA 模式

1.2.12 输入输出

- 提供 PA~PY 共 8 组最多 56 个 GPIO 功能复用引脚
- IO 支持 3V 电压模式，分组供电
- IO 支持开漏控制、内部上下拉、驱动能力调节，内置施密特触发器
- GPIO 控制器
 - 支持读取任意 IO 的输入或者控制 IO 的输出

- 支持 IO 输入触发中断
- 快速 GPIO 控制器 FGPIO, 作为处理器私有的 IO 快速访问接口
- 提供一个 GPIO 管理器, 管理各 GPIO 控制器的 IO 控制权限
- 电源管理域专属 IO PYxx 拥有专属 GPIO 控制器和 IO 配置模块, 支持低功耗模式下状态保持

1.2.13 信息安全管理

信息安全模块包含:

- 安全数据处理器 SDP, 为片上加解密算法引擎:
 - 支持 AES-128/256, SM4, 支持 ECB 模式和 CBC 模式
 - 支持 SHA-1/SHA-256, SM3
- 在线解密模块 EXIP:
 - 与串行总线控制器 XPI 紧密耦合, 支持外部 NOR Flash 在线解密
 - AES-128 CTR 模式, 零等待周期解密
 - 支持 RFC3394 的密钥解封, 通过密钥加密密钥 KEK 保护数据加密密钥 DEK
- 密钥管理器 KEYM:
 - 支持通过独立的数据通路从 OTP 的密钥区载入密钥
 - 支持密钥混淆
 - 支持从真随机数发生器 RNG 载入随机密钥
 - 支持生成 Session Key
 - 支持独立的数据通路将密钥传送到安全数据处理器 SDP
- OTP 中的密钥区, 支持存放并保护:
 - SDP, EXIP 的相关密钥
 - 安全启动的相关密钥
 - 安全调试相关密钥
 - 产品生命周期配置
- 真随机数发生器 RNG:
 - 3 个独立熵源为内部模拟噪声源
- 安全管理器 SEC:
 - 监测产品生命周期
 - 配置系统安全状态,
 - 制定安全规则并监测安全规则违反的事件
 - 关联监视器 MON, 监测 VPMC 供电和时钟 OSC24M
- 基于 BOOT ROM 的安全启动机制, 支持加密启动, 支持可信的执行环境

1.2.14 系统调试

系统调试模块包括:

- 支持 JTAG 接口
 - 支持 RISC-V External Debug Support V0.13 规范
 - 支持 IEEE1149.1
 - 访问 RISC-V 内核寄存器和 CSR, 访问存储器
- 调试端口锁定功能
 - 开放模式, 调试功能开放

- 锁定模式，调试功能关闭，可以通过调试密钥解锁
- 关闭模式，调试功能关闭

2 引脚及功能描述

2.1 LQFP100 引脚分布

LQFP100 分布 (顶部视图) 如图 2。

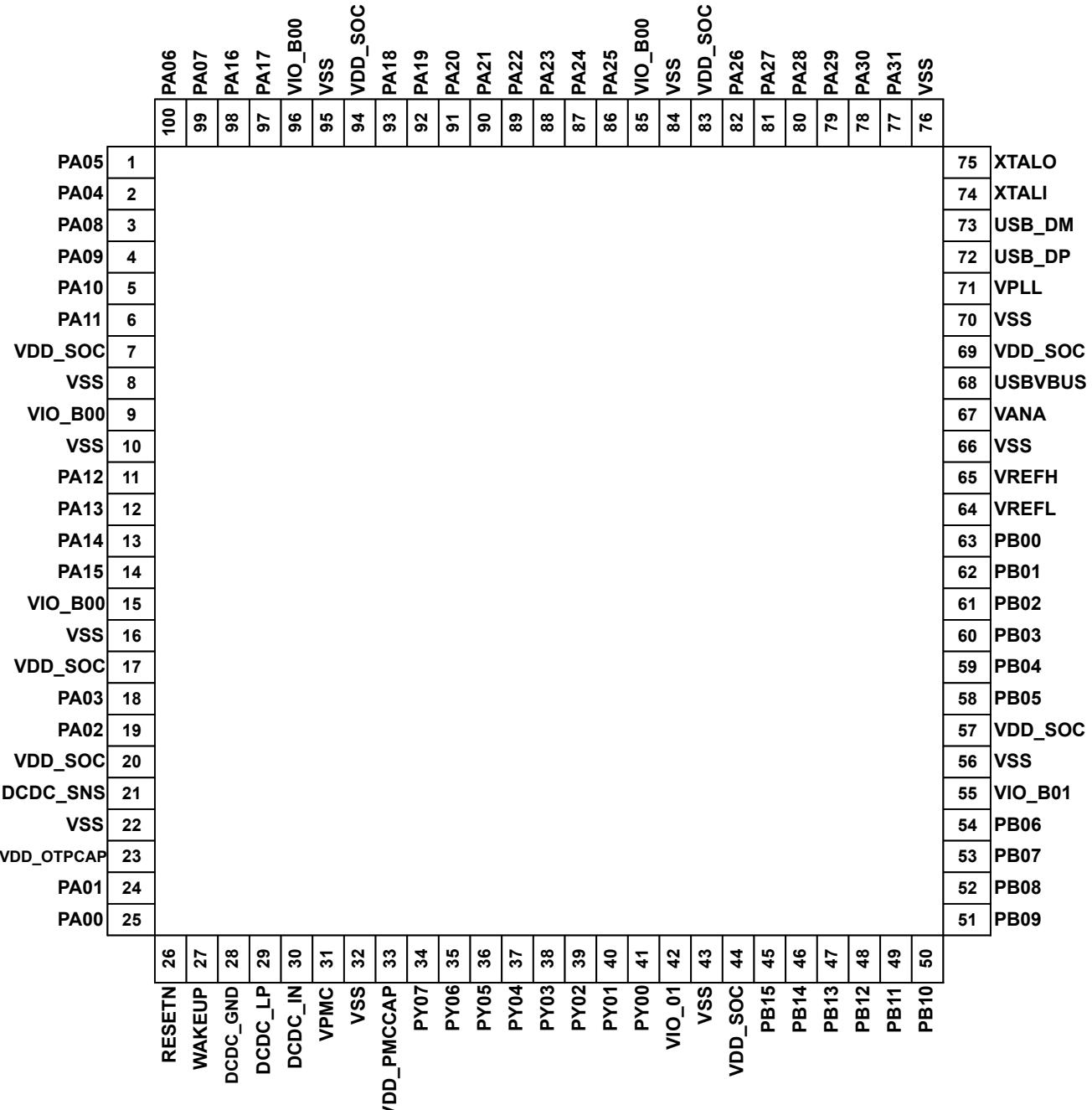


图 2: LQFP100 引脚分布

2.2 LQFP64 引脚分布

LQFP64 分布 (顶部视图) 如图 3。

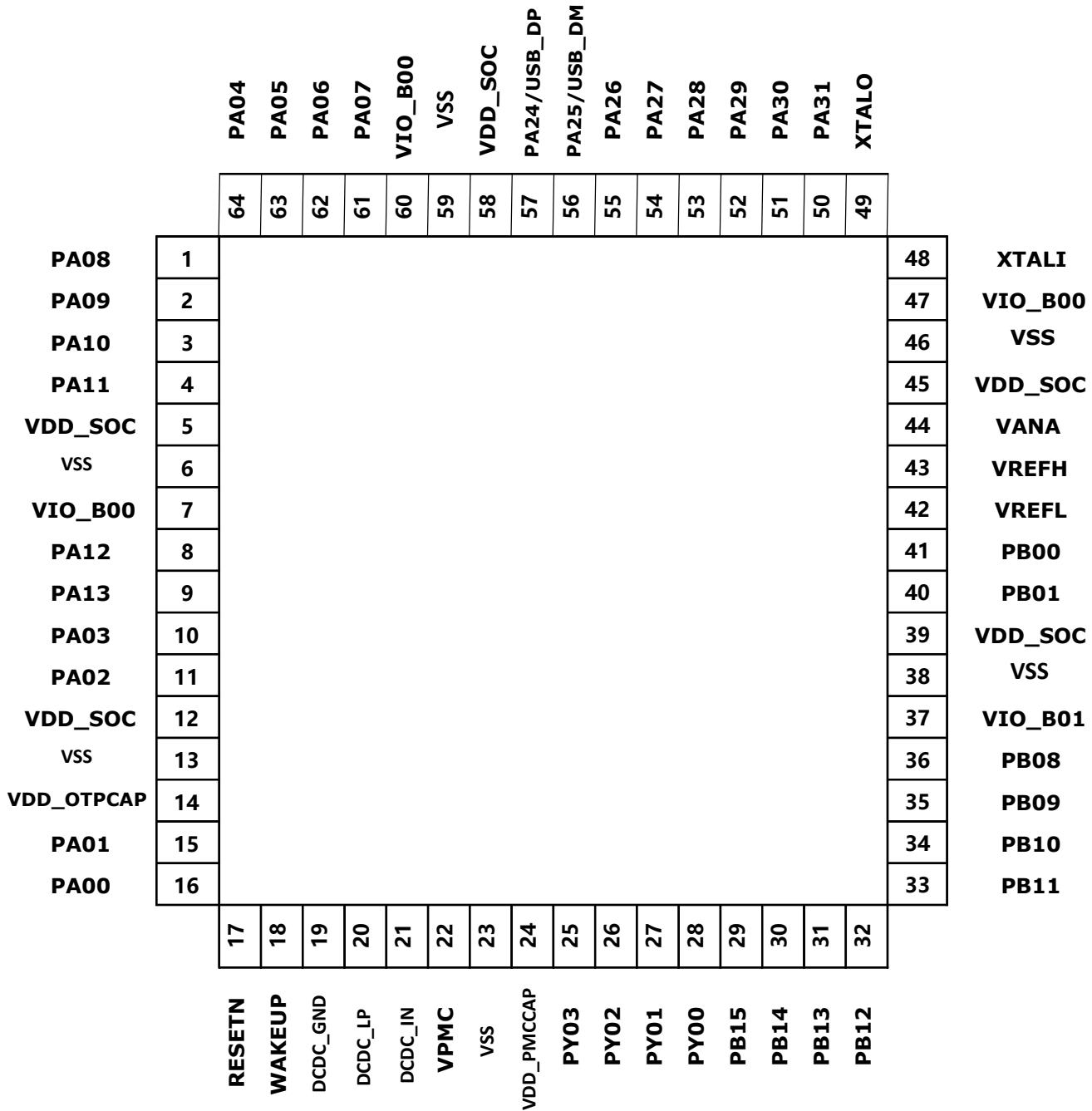


图 3: LQFP64 引脚分布

2.3 QFN48 引脚分布

QFN48 分布 (顶部视图) 如图 4。

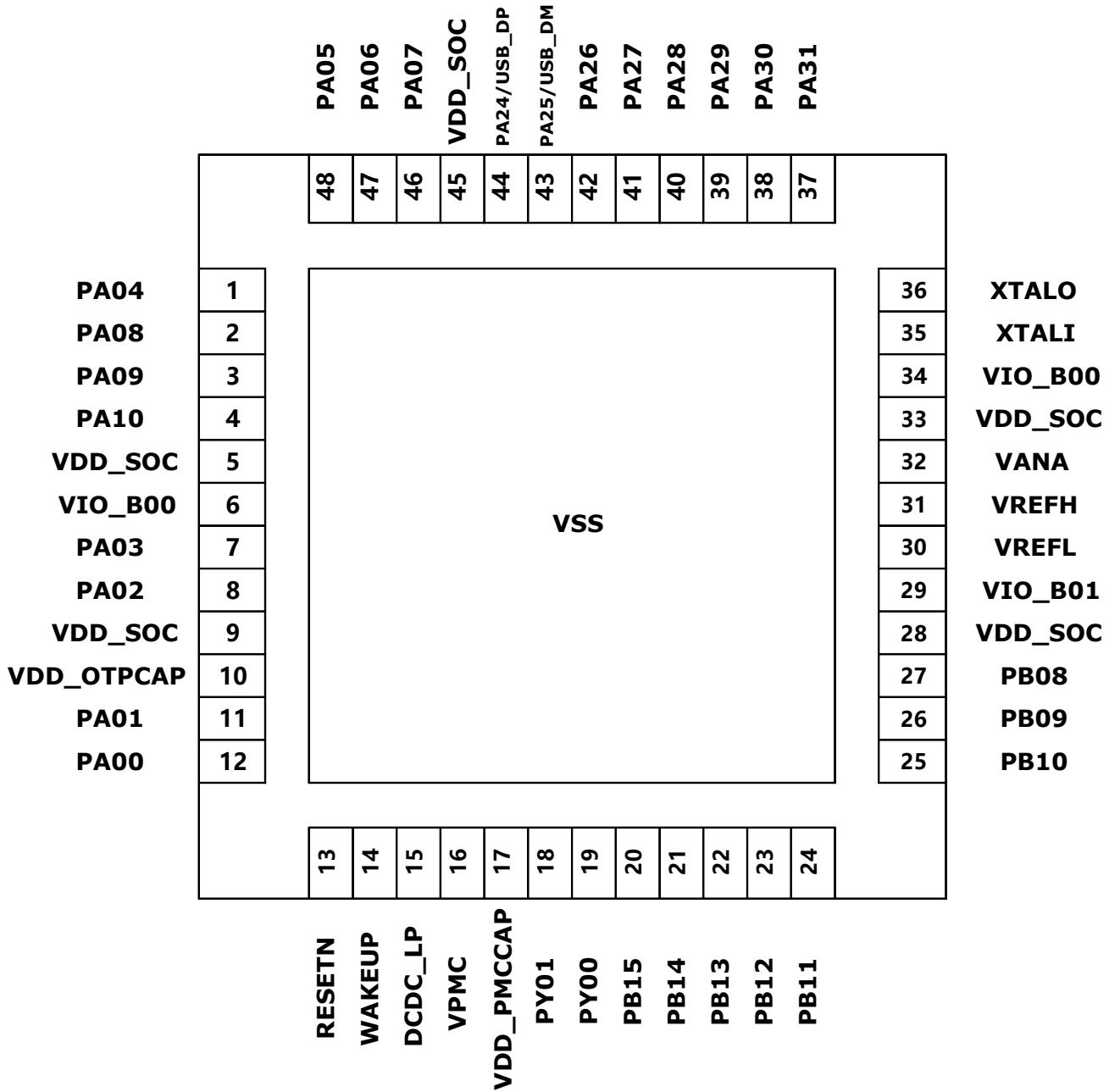


图 4: QFN48 引脚分布

2.4 引脚配置及功能 PINMUX

HPM5300 系列的引脚配置及功能如下:

封装		PIN 名称	数字功能	模拟功能	供电分组	
LQF P_10 0	LQF P_64					
25	16	12	PA00	GPIO_A_00(ALT0) GPTMR1_COMP_0(ALT1) UART0_RXD(ALT2) MCAN0_RXD(ALT7) PWM0_FAULT_0(ALT16) PWM1_P_0(ALT17) TRGM0_P_00(ALT18) PWM1_FAULT_0(ALT19) SYSCTL_CLK_OBS_0(ALT 24)	-	B00
24	15	11	PA01	GPIO_A_01(ALT0) GPTMR1_CAPT_0(ALT1) UART0_RXD(ALT2) MCAN0_RXD(ALT7) PWM0_FAULT_1(ALT16) PWM1_P_1(ALT17) TRGM0_P_01(ALT18) ACMP_COMP_0(ALT19) SYSCTL_CLK_OBS_1(ALT 24)	-	B00
19	11	8	PA02	GPIO_A_02(ALT0) GPTMR1_COMP_1(ALT1) UART0_DE(ALT2) UART0_RTS(ALT3) I2C0_SCL(ALT4) MCAN0_STBY(ALT7) ACMP_COMP_0(ALT16) PWM1_P_2(ALT17) TRGM0_P_02(ALT18) ACMP_COMP_1(ALT19) QE11_F(ALT20) SYSCTL_CLK_OBS_2(ALT 24)	-	B00

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
18	10	7	PA03	GPIO_A_03(ALT0) GPTMR1_CAPT_1(ALT1) UART0_CTS(ALT3) I2C0_SDA(ALT4) SPI3_CS_3(ALT5) MCAN1_STBY(ALT7) ACMP_COMP_1(ALT16) PWM1_P_3(ALT17) TRGM0_P_03(ALT18) PWM1FAULT_1(ALT19) QE1_H1(ALT20) SYSCTL_CLK_OBS_3(ALT 24)	-	B00
2	64	1	PA04	GPIO_A_04(ALT0) UART1_CTS(ALT3) SPI0_CS_0(ALT5) MCAN1_RXD(ALT7) PWM0_P_0(ALT16) PWM1_P_4(ALT17) TRGM0_P_04(ALT18) RDC0_EXC_P(ALT19) QE1_A(ALT20) QEO1_A(ALT21) SEI1_DE(ALT22) JTAG_TDO(ALT24)	-	B00

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
1	63	48	PA05	GPIO_A_05(ALT0) GPTMR1_COMP_2(ALT1) UART1_DE(ALT2) UART1_RTS(ALT3) SPI0_SCLK(ALT5) MCAN1_TXD(ALT7) PWM0_P_1(ALT16) PWM1_P_5(ALT17) TRGM0_P_05(ALT18) RDC0_EXC_N(ALT19) QE1_B(ALT20) QEO1_B(ALT21) SE1_CK(ALT22) JTAG_TDI(ALT24)	-	B00
100	62	47	PA06	GPIO_A_06(ALT0) GPTMR0_CAPT_0(ALT1) UART1_RXD(ALT2) I2C1_SDA(ALT4) SPI0_MISO(ALT5) PWM0_P_2(ALT16) PWM1_P_6(ALT17) TRGM0_P_06(ALT18) QE1_Z(ALT20) QEO1_Z(ALT21) SE1_TX(ALT22) JTAG_TCK(ALT24)	-	B00
99	61	46	PA07	GPIO_A_07(ALT0) GPTMR0_COMP_0(ALT1) UART1_RXD(ALT2) I2C1_SCL(ALT4) SPI0_MOSI(ALT5) PWM0_P_3(ALT16) PWM1_P_7(ALT17) TRGM0_P_07(ALT18) QE1_H0(ALT20) SE1_RX(ALT22) JTAG_TMS(ALT24)	-	B00

封装				PIN 名称	数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48					
3	1	2	PA08	GPIO_A_08(ALT0) GPTMR0_COMP_1(ALT1) UART2_TXD(ALT2) I2C2_SCL(ALT4) SPI3_CS_2(ALT5) MCAN2_TXD(ALT7) PWM0_P_4(ALT16) PWM0_FAULT_0(ALT18) JTAG_TRST(ALT24)	-	-	B00
4	2	3	PA09	GPIO_A_09(ALT0) GPTMR0_CAPT_1(ALT1) UART2_RXD(ALT2) I2C2_SDA(ALT4) SPI3_CS_1(ALT5) MCAN2_RXD(ALT7) PWM0_P_5(ALT16) PWM0_FAULT_1(ALT18) SOC_REF0(ALT24)	-	-	B00
5	3	4	PA10	GPIO_A_10(ALT0) GPTMR0_COMP_2(ALT1) UART2_DE(ALT2) UART2_RTS(ALT3) SPI3_CS_0(ALT5) MCAN2_STBY(ALT7) PWM0_P_6(ALT16) PWM1_FAULT_0(ALT17) ACMP_COMP_0(ALT18) QE1_A(ALT20) QEO0_A(ALT21) SEI1_DE(ALT22)	-	-	B00

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
6	4	-	PA11	GPIO_A_11(ALT0) UART2_CTS(ALT3) SPI3_SCLK(ALT5) PWM0_P_7(ALT16) PWM1_FAULT_1(ALT17) ACMP_COMP_1(ALT18) QEI1_B(ALT20) QEO0_B(ALT21) SEI1_CK(ALT22) EWDG0_RST(ALT24)	-	B00
11	8	-	PA12	GPIO_A_12(ALT0) UART3_CTS(ALT3) I2C3_SDA(ALT4) SPI3_MISO(ALT5) PWM0_P_0(ALT16) PWM1_FAULT_0(ALT17) PWM0_FAULT_0(ALT18) RDC0_EXC_P(ALT19) QEI1_Z(ALT20) QEO0_Z(ALT21) SEI1_TX(ALT22)	-	B00
12	9	-	PA13	GPIO_A_13(ALT0) GPTMR1_COMP_3(ALT1) UART3_DE(ALT2) UART3_RTS(ALT3) I2C3_SCL(ALT4) SPI3_MOSI(ALT5) MCAN3_STBY(ALT7) PWM0_P_1(ALT16) PWM1_FAULT_1(ALT17) PWM0_FAULT_1(ALT18) RDC0_EXC_N(ALT19) QEI1_H0(ALT20) SEI1_RX(ALT22)	-	B00

封装			PIN 名称	数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48				
13	-	-	PA14	GPIO_A_14(ALT0) UART3_RXD(ALT2) SPI3_DAT2(ALT5) MCAN3_RXD(ALT7) PWM0_P_2(ALT16) ACMP_COMP_0(ALT18) QE1_H1(ALT20) EWDG1_RST(ALT24)	-	B00
14	-	-	PA15	GPIO_A_15(ALT0) GPTMR0_COMP_3(ALT1) UART3_TXD(ALT2) SPI3_DAT3(ALT5) MCAN3_TXD(ALT7) PWM0_P_3(ALT16) ACMP_COMP_1(ALT18) QE1_F(ALT20) SOC_REF0(ALT24)	-	B00
98	-	-	PA16	GPIO_A_16(ALT0) GPTMR3_COMP_0(ALT1) UART4_TXD(ALT2) MCAN0_TXD(ALT7) PWM0_P_4(ALT16) PWM1_P_0(ALT17) TRGM0_P_04(ALT18) QEO0_A(ALT21) SEI1_DE(ALT22)	-	B00
97	-	-	PA17	GPIO_A_17(ALT0) GPTMR3_CAPT_0(ALT1) UART4_RXD(ALT2) MCAN0_RXD(ALT7) PWM0_P_5(ALT16) PWM1_P_1(ALT17) TRGM0_P_05(ALT18) QEO0_B(ALT21) SEI1_CK(ALT22)	-	B00

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
93	-	-	PA18	GPIO_A_18(ALT0) GPTMR3_COMP_1(ALT1) UART4_DE(ALT2) UART4_RTS(ALT3) I2C0_SCL(ALT4) MCAN0_STBY(ALT7) PWM0_P_6(ALT16) PWM1_P_2(ALT17) TRGM0_P_06(ALT18) QEO0_Z(ALT21) SEI1_TX(ALT22)	-	B00
92	-	-	PA19	GPIO_A_19(ALT0) GPTMR3_CAPT_1(ALT1) UART4_CTS(ALT3) I2C0_SDA(ALT4) SPI1_CS_3(ALT5) MCAN1_STBY(ALT7) PWM0_P_7(ALT16) PWM1_P_3(ALT17) TRGM0_P_07(ALT18) SEI1_RX(ALT22)	-	B00
91	-	-	PA20	GPIO_A_20(ALT0) UART5_CTS(ALT3) SPI2_CS_0(ALT5) MCAN1_RXD(ALT7) PWM0_FAULT_0(ALT16) PWM1_P_4(ALT17) TRGM0_P_00(ALT18) QEIO_A(ALT20) QEO0_A(ALT21) SEI0_DE(ALT22)	-	B00

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
90	-	-	PA21	GPIO_A_21(ALT0) GPTMR3_COMP_2(ALT1) UART5_DE(ALT2) UART5_RTS(ALT3) SPI2_SCLK(ALT5) MCAN1_TXD(ALT7) PWM0_FAULT_1(ALT16) PWM1_P_5(ALT17) TRGM0_P_01(ALT18) QEIO_B(ALT20) QE00_B(ALT21) SEI0_CK(ALT22)	-	B00
89	-	-	PA22	GPIO_A_22(ALT0) GPTMR2_CAPT_0(ALT1) UART5_RXD(ALT2) I2C1_SDA(ALT4) SPI2_MISO(ALT5) PWM1_P_6(ALT17) TRGM0_P_02(ALT18) PWM1_FAULT_0(ALT19) QEIO_Z(ALT20) QE00_Z(ALT21) SEI0_TX(ALT22)	-	B00
88	-	-	PA23	GPIO_A_23(ALT0) GPTMR2_COMP_0(ALT1) UART5_TXD(ALT2) I2C1_SCL(ALT4) SPI2_MOSI(ALT5) PWM1_P_7(ALT17) TRGM0_P_03(ALT18) PWM1_FAULT_1(ALT19) QEIO_H0(ALT20) SEI0_RX(ALT22)	-	B00

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
87	57	44	PA24	GPIO_A_24(ALT0) GPTMR2_COMP_1(ALT1) UART6_TXD(ALT2) I2C2_SCL(ALT4) SPI1_CS_2(ALT5) MCAN2_TXD(ALT7) XPI0_CA_CS1(ALT14) PWM0_P_0(ALT16) PWM1_P_0(ALT17) TRGM0_P_00(ALT18) QEIO_H1(ALT20)	-	B00
86	56	43	PA25	GPIO_A_25(ALT0) GPTMR2_CAPT_1(ALT1) UART6_RXD(ALT2) I2C2_SDA(ALT4) SPI1_CS_1(ALT5) MCAN2_RXD(ALT7) XPI0_CA_DQS(ALT14) PWM0_P_1(ALT16) PWM1_P_1(ALT17) TRGM0_P_01(ALT18) QEIO_F(ALT20)	-	B00
82	55	42	PA26	GPIO_A_26(ALT0) GPTMR2_COMP_2(ALT1) UART6_DE(ALT2) UART6_RTS(ALT3) SPI1_CS_0(ALT5) MCAN2_STBY(ALT7) XPI0_CA_D_3(ALT14) PWM0_P_2(ALT16) PWM1_P_2(ALT17) TRGM0_P_02(ALT18) QEIO_A(ALT20) QEO0_A(ALT21) SEIO_DE(ALT22) SYSCTL_CLK_OBS_0(ALT 24)	-	B00

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
81	54	41	PA27	GPIO_A_27(ALT0) UART6_CTS(ALT3) SPI1_SCLK(ALT5) XPI0_CA_SCLK(ALT14) PWM0_P_3(ALT16) PWM1_P_3(ALT17) TRGM0_P_03(ALT18) QEIO_B(ALT20) QEO0_B(ALT21) SEI0_CK(ALT22) SYSCTL_CLK_OBS_1(ALT 24)	-	B00
80	53	40	PA28	GPIO_A_28(ALT0) UART7_CTS(ALT3) I2C3_SDA(ALT4) SPI1_MISO(ALT5) XPI0_CA_D_0(ALT14) PWM0_P_4(ALT16) PWM1_P_4(ALT17) TRGM0_P_04(ALT18) RDC0_EXC_P(ALT19) QEIO_Z(ALT20) QEO0_Z(ALT21) SEI0_TX(ALT22) SYSCTL_CLK_OBS_2(ALT 24)	-	B00

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
79	52	39	PA29	GPIO_A_29(ALT0) GPTMR3_COMP_3(ALT1) UART7_DE(ALT2) UART7_RTS(ALT3) I2C3_SCL(ALT4) SPI1_MOSI(ALT5) MCAN3_STBY(ALT7) XPIO_CA_D_2(ALT14) PWM0_P_5(ALT16) PWM1_P_5(ALT17) TRGM0_P_05(ALT18) RDC0_EXC_N(ALT19) QEIO_H0(ALT20) SEI0_RX(ALT22) SYSCTL_CLK_OBS_3(ALT 24) USB0_OC(ALT25)	-	B00
78	51	38	PA30	GPIO_A_30(ALT0) UART7_RXD(ALT2) SPI1_DAT2(ALT5) MCAN3_RXD(ALT7) XPIO_CA_D_1(ALT14) PWM0_P_6(ALT16) PWM1_P_6(ALT17) TRGM0_P_06(ALT18) QEIO_H1(ALT20) SOC_REF0(ALT24) USB0_PWR(ALT25)	-	B00

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
77	50	37	PA31	GPIO_A_31(ALT0) GPTMR2_COMP_3(ALT1) UART7_RXD(ALT2) SPI1_DAT3(ALT5) MCAN3_RXD(ALT7) XPIO_CA_CS0(ALT14) PWM0_P_7(ALT16) PWM1_P_7(ALT17) TRGM0_P_07(ALT18) QEIO_F(ALT20) USB0_ID(ALT25)	-	B00
63	41	-	PB00	GPIO_B_00(ALT0) GPTMR1_COMP_0(ALT1) UART0_RXD(ALT2) MCAN0_RXD(ALT7) PWM0_P_0(ALT16) PWM1_FAULT_0(ALT17) TRGM0_P_04(ALT18) ACMP_COMP_0(ALT19)	ADC0_IN15 ADC1_IN15 ACMP_CMP0_I NN7 OPA0_OUT	B01
62	40	-	PB01	GPIO_B_01(ALT0) GPTMR1_CAPT_0(ALT1) UART0_RXD(ALT2) MCAN0_RXD(ALT7) PWM0_P_1(ALT16) PWM1_FAULT_1(ALT17) TRGM0_P_05(ALT18) ACMP_COMP_1(ALT19)	ADC0_IN14 ADC1_IN14 ACMP_CMP1_I NN7 OPA1_OUT	B01
61	-	-	PB02	GPIO_B_02(ALT0) GPTMR1_COMP_1(ALT1) UART0_DE(ALT2) UART0_RTS(ALT3) I2C0_SCL(ALT4) MCAN0_STBY(ALT7) PWM0_P_2(ALT16) ACMP_COMP_1(ALT17) TRGM0_P_06(ALT18) PWM0_FAULT_0(ALT19)	ADC0_IN12 ADC1_IN12 ACMP_CMP0_I NP7 OPA0_EXT	B01

封装			PIN 名称	数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48				
60	-	-	PB03	GPIO_B_03(ALT0) GPTMR1_CAPT_1(ALT1) UART0_CTS(ALT3) I2C0_SDA(ALT4) SPI2_CS_3(ALT5) MCAN1_STBY(ALT7) PWM0_P_3(ALT16) ACMP_COMP_0(ALT17) TRGM0_P_07(ALT18) PWM0_FAULT_1(ALT19)	ADC0_IN8 ADC1_IN8 ACMP_CMP1_I NP7 OPA1_EXT	B01
59	-	-	PB04	GPIO_B_04(ALT0) UART1_CTS(ALT3) SPI3_CS_0(ALT5) MCAN1_RXD(ALT7) PWM0_P_4(ALT16) PWM1_P_0(ALT17) TRGM0_P_00(ALT18) QE1_A(ALT20) QEO1_A(ALT21) SEI0_DE(ALT22)	ADC0_IN0 ADC1_IN0 ACMP_CMP0_I NN5 ACMP_CMP1_I NN5 OPA0_INP0	B01
58	-	-	PB05	GPIO_B_05(ALT0) GPTMR1_COMP_2(ALT1) UART1_DE(ALT2) UART1_RTS(ALT3) SPI3_SCLK(ALT5) MCAN1_TXD(ALT7) PWM0_P_5(ALT16) PWM1_P_1(ALT17) TRGM0_P_01(ALT18) QE1_B(ALT20) QEO1_B(ALT21) SEI0_CK(ALT22)	ADC0_IN13 ADC1_IN13 ACMP_CMP0_I NN3 ACMP_CMP1_I NN3 OPA0_INN0	B01

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
54	-	-	PB06	GPIO_B_06(ALT0) GPTMR0_CAPT_0(ALT1) UART1_RXD(ALT2) I2C1_SDA(ALT4) SPI3_MISO(ALT5) PWM0_P_6(ALT16) PWM1_P_2(ALT17) TRGM0_P_02(ALT18) RDC0_EXC_P(ALT19) QE1_Z(ALT20) QEO1_Z(ALT21) SEI0_TX(ALT22)	ADC0_IN9 ADC1_IN9 ACMP_CMP0_I NP5 ACMP_CMP1_I NP5 OPA0_INP1	B01
53	-	-	PB07	GPIO_B_07(ALT0) GPTMR0_COMP_0(ALT1) UART1_TXD(ALT2) I2C1_SCL(ALT4) SPI3_MOSI(ALT5) PWM0_P_7(ALT16) PWM1_P_3(ALT17) TRGM0_P_03(ALT18) RDC0_EXC_N(ALT19) QE1_H0(ALT20) SEI0_RX(ALT22)	ADC0_IN10 ADC1_IN10 ACMP_CMP0_I NP3 ACMP_CMP1_I NP3 OPA0_INN1	B01
52	36	27	PB08	GPIO_B_08(ALT0) GPTMR0_COMP_1(ALT1) UART2_RXD(ALT2) I2C2_SCL(ALT4) SPI2_CS_2(ALT5) MCAN2_RXD(ALT7) ACMP_COMP_0(ALT16) PWM1_P_4(ALT17) QE1_H1(ALT20) QEO1_A(ALT21) SEI1_DE(ALT22) USB0_ID(ALT25)	ADC0_IN11 ADC1_IN11 DAC0_OUT ACMP_CMP0_I NN6 ACMP_CMP1_I NN6 OPA0_INP2 OPA1_INP2	B01

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
51	35	26	PB09	GPIO_B_09(ALT0) GPTMR0_CAPT_1(ALT1) UART2_RXD(ALT2) I2C2_SDA(ALT4) SPI2_CS_1(ALT5) MCAN2_RXD(ALT7) ACMP_COMP_1(ALT16) PWM1_P_5(ALT17) QEI1_F(ALT20) QEO1_B(ALT21) SEI1_CK(ALT22) USB0_OC(ALT25)	ADC0_IN1 ADC1_IN1 DAC1_OUT ACMP_CMP0_I NP6 ACMP_CMP1_I NP6 OPA0_INN2 OPA1_INN2	B01
50	34	25	PB10	GPIO_B_10(ALT0) GPTMR0_COMP_2(ALT1) UART2_DE(ALT2) UART2_RTS(ALT3) SPI2_CS_0(ALT5) MCAN2_STBY(ALT7) ACMP_COMP_0(ALT16) PWM1_P_6(ALT17) QEI0_H1(ALT20) QEO1_Z(ALT21) SEI1_TX(ALT22) USB0_PWR(ALT25)	ADC0_IN2 ADC1_IN2 ACMP_CMP0_I NP4 ACMP_CMP1_I NP4 OPA0_INP3 OPA1_INP3	B01
49	33	24	PB11	GPIO_B_11(ALT0) UART2_CTS(ALT3) SPI2_SCLK(ALT5) ACMP_COMP_1(ALT16) PWM1_P_7(ALT17) QEI0_F(ALT20) SEI1_RX(ALT22)	ADC0_IN3 ADC1_IN3 ACMP_CMP0_I NN4 ACMP_CMP1_I NN4 OPA0_INN3 OPA1_INN3	B01

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
48	32	23	PB12	GPIO_B_12(ALT0) UART3_CTS(ALT3) I2C3_SDA(ALT4) SPI2_MISO(ALT5) PWM1_FAULT_0(ALT16) PWM1_P_0(ALT17) TRGM0_P_00(ALT18) QEI0_A(ALT20) QEO1_A(ALT21) SEI0_DE(ALT22)	ADC0_IN4 ADC1_IN4 ACMP_CMP0_I NN2 ACMP_CMP1_I NN2 OPA1_INP0	B01
47	31	22	PB13	GPIO_B_13(ALT0) GPTMR1_COMP_3(ALT1) UART3_DE(ALT2) UART3_RTS(ALT3) I2C3_SCL(ALT4) SPI2_MOSI(ALT5) MCAN3_STBY(ALT7) PWM1_FAULT_1(ALT16) PWM1_P_1(ALT17) TRGM0_P_01(ALT18) QEI0_B(ALT20) QEO1_B(ALT21) SEI0_CK(ALT22)	ADC0_IN5 ADC1_IN5 ACMP_CMP0_I NP2 ACMP_CMP1_I NP2 OPA1_INN0	B01
46	30	21	PB14	GPIO_B_14(ALT0) UART3_RXD(ALT2) SPI2_DAT2(ALT5) MCAN3_RXD(ALT7) PWM0_FAULT_0(ALT16) PWM1_P_2(ALT17) TRGM0_P_02(ALT18) RDC0_EXC_P(ALT19) QEI0_Z(ALT20) QEO1_Z(ALT21) SEI0_TX(ALT22)	ADC0_IN6 ADC1_IN6 ACMP_CMP0_I NN1 ACMP_CMP1_I NN1 OPA1_INP1	B01

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
45	29	20	PB15	GPIO_B_15(ALT0) GPTMR0_COMP_3(ALT1) UART3_TXD(ALT2) SPI2_DAT3(ALT5) MCAN3_TXD(ALT7) PWM0_FAULT_1(ALT16) PWM1_P_3(ALT17) TRGM0_P_03(ALT18) RDC0_EXC_N(ALT19) QE10_H0(ALT20) SE10_RX(ALT22)	ADC0_IN7 ADC1_IN7 ACMP_CMP0_I NP1 ACMP_CMP1_I NP1 OPA1_INN1	B01
-	-	-	PX00	GPIO_X_00(ALT0) GPTMR2_COMP_0(ALT1) UART4_TXD(ALT2) MCAN0_TXD(ALT7) XPI0_CA_D_2(ALT14)	-	B00
-	-	-	PX01	GPIO_X_01(ALT0) GPTMR2_CAPT_0(ALT1) UART4_RXD(ALT2) MCAN0_RXD(ALT7) XPI0_CA_D_1(ALT14)	-	B00
-	-	-	PX02	GPIO_X_02(ALT0) GPTMR2_COMP_1(ALT1) UART4_DE(ALT2) UART4_RTS(ALT3) I2C0_SCL(ALT4) MCAN0_STBY(ALT7) XPI0_CA_CS0(ALT14)	-	B00
-	-	-	PX03	GPIO_X_03(ALT0) GPTMR2_CAPT_1(ALT1) UART4_CTS(ALT3) I2C0_SDA(ALT4) MCAN1_STBY(ALT7) XPI0_CA_DQS(ALT14)	-	B00

封装			PIN 名称	数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48				
-	-	-	PX04	GPIO_X_04(ALT0) UART5_CTS(ALT3) SPI1_CS_0(ALT5) MCAN1_RXD(ALT7) XPIO_CA_CS1(ALT14)	-	B00
-	-	-	PX05	GPIO_X_05(ALT0) GPTMR2_COMP_2(ALT1) UART5_DE(ALT2) UART5 RTS(ALT3) SPI1_SCLK(ALT5) MCAN1_TXD(ALT7) XPIO_CA_D_0(ALT14)	-	B00
-	-	-	PX06	GPIO_X_06(ALT0) GPTMR3_CAPT_0(ALT1) UART5_RXD(ALT2) I2C1_SDA(ALT4) SPI1_MISO(ALT5) XPIO_CA_SCLK(ALT14)	-	B00
-	-	-	PX07	GPIO_X_07(ALT0) GPTMR3_COMP_0(ALT1) UART5_TXD(ALT2) I2C1_SCL(ALT4) SPI1_MOSI(ALT5) XPIO_CA_D_3(ALT14)	-	B00
41	28	19	PY00	GPIO_Y_00(ALT0) GPTMR3_COMP_0(ALT1) UART0_RXD(ALT2) MCAN2_TXD(ALT7) PWM0_P_0(ALT16) PWM1_P_4(ALT17) PWM0_FAULT_0(ALT18) USB0_ID(ALT25)	-	VPMC

封装				数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48	PIN 名称			
40	27	18	PY01	GPIO_Y_01(ALT0) GPTMR3_CAPT_0(ALT1) UART0_RXD(ALT2) MCAN2_RXD(ALT7) PWM0_P_1(ALT16) PWM1_P_5(ALT17) PWM0_FAULT_1(ALT18) EWDG0_RST(ALT24) USB0_OC(ALT25)	-	VPMC
39	26	-	PY02	GPIO_Y_02(ALT0) GPTMR3_COMP_1(ALT1) UART0_DE(ALT2) UART0 RTS(ALT3) I2C2_SCL(ALT4) MCAN2_STBY(ALT7) PWM0_P_2(ALT16) PWM1_P_6(ALT17) ACMP_COMP_0(ALT18) PWM1_FAULT_0(ALT19) EWDG1_RST(ALT24) USB0_PWR(ALT25)	-	VPMC
38	25	-	PY03	GPIO_Y_03(ALT0) GPTMR3_CAPT_1(ALT1) UART0_CTS(ALT3) I2C2_SDA(ALT4) MCAN3_STBY(ALT7) PWM0_P_3(ALT16) PWM1_P_7(ALT17) ACMP_COMP_1(ALT18) PWM1_FAULT_1(ALT19)	-	VPMC
37	-	-	PY04	GPIO_Y_04(ALT0) UART1_CTS(ALT3) SPI2_CS_0(ALT5) MCAN3_RXD(ALT7) PWM0_P_4(ALT16) TRGM0_P_04(ALT18)	-	VPMC

封装			PIN 名称	数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48				
36	-	-	PY05	GPIO_Y_05(ALT0) GPTMR3_COMP_2(ALT1) UART1_DE(ALT2) UART1_RTS(ALT3) SPI2_SCLK(ALT5) MCAN3_TXD(ALT7) PWM0_P_5(ALT16) TRGM0_P_05(ALT18) EWDG0_RST(ALT24)	-	VPMC
35	-	-	PY06	GPIO_Y_06(ALT0) GPTMR2_CAPT_0(ALT1) UART1_RXD(ALT2) I2C3_SDA(ALT4) SPI2_MISO(ALT5) PWM0_P_6(ALT16) TRGM0_P_06(ALT18) EWDG1_RST(ALT24)	-	VPMC
34	-	-	PY07	GPIO_Y_07(ALT0) GPTMR2_COMP_0(ALT1) UART1_TXD(ALT2) I2C3_SCL(ALT4) SPI2_MOSI(ALT5) PWM0_P_7(ALT16) TRGM0_P_07(ALT18)	-	VPMC
7,17, 20,44 .57,6 9,83, 94	5,12, 39,45 .58	5,9,2 8,33, 45	VDD_SOC	-	-	-
8,10, 16,22 .32,4 3,56, 66,70 .76,8 4,95	6,13, 23,38 .46,5 9	-	VSS	-	-	-
9,15, 85,96	7,47, 60	6,34	VIO_B00	-	-	-

封装			PIN 名称	数字功能	模拟功能	供电分组
LQF P_10 0	LQF P_64	QFN _48				
21	-	-	DCDC_SNS	-	-	-
23	14	10	VDD OTPCAP	-	-	-
26	17	13	RESETN	-	-	-
27	18	14	WAKEUP	-	-	-
28	19	-	DCDC_GND	-	-	-
29	20	15	DCDC_LP	-	-	-
30	21	-	DCDC_IN	-	-	-
31	22	16	VPMC	-	-	-
33	24	17	VDD_PMCCAP	-	-	-
42,55	37	29	VIO_B01	-	-	-
64	42	30	VREFL	-	-	-
65	43	31	VREFH	-	-	-
67	44	32	VANA	-	-	-
68	-	-	USBVBUS	-	-	-
71	-	-	VPLL	-	-	-
72	-	-	USB_DP	-	-	-
73	-	-	USB_DM	-	-	-
74	48	35	XTALI	-	-	-
75	49	36	XTALO	-	-	-

表 2: SOC IOMUX

封装			PIN 名称	数字功能	供电分组
LQF P_10 0	LQF P_64	QFN _48			
41	28	19	PY00	GPIO_Y_00(ALT0) PUART_TXD(ALT1) PTMR_COMP_0(ALT2) SOC_GPIO_Y_00(ALT3)	VPMC

封装			PIN 名称	数字功能	供电分组
LQF P_10 0	LQF P_64	QFN _48			
40	27	18	PY01	GPIO_Y_01(ALT0) PUART_RXD(ALT1) PTMR_COMP_1(ALT2) SOC_GPIO_Y_01(ALT3)	VPMC
39	26	-	PY02	GPIO_Y_02(ALT0) PUART RTS(ALT1) PTMR_COMP_2(ALT2) SOC_GPIO_Y_02(ALT3)	VPMC
38	25	-	PY03	GPIO_Y_03(ALT0) PUART CTS(ALT1) PTMR_COMP_3(ALT2) SOC_GPIO_Y_03(ALT3)	VPMC
37	-	-	PY04	GPIO_Y_04(ALT0) PTMR_COMP_0(ALT2) SOC_GPIO_Y_04(ALT3)	VPMC
36	-	-	PY05	GPIO_Y_05(ALT0) PEWDG_RST(ALT1) PTMR_CAPT_0(ALT2) SOC_GPIO_Y_05(ALT3)	VPMC
35	-	-	PY06	GPIO_Y_06(ALT0) PTMR_COMP_1(ALT2) SOC_GPIO_Y_06(ALT3)	VPMC
34	-	-	PY07	GPIO_Y_07(ALT0) PTMR_CAPT_1(ALT2) SOC_GPIO_Y_07(ALT3)	VPMC

表 3: PMIC IOMUX

2.5 特殊功能引脚

芯片默认是通过 `BOOT_MODE[1:0]=[PA03:PA02]` 引脚选择三种不同的启动模式，启动配置如表 4。其他特殊引脚配置如表 5。

启动模式选择引脚		启动模式	说明
BOOT_MODE1	BOOT_MODE0		
0	0	XPI NOR 启动	从连接在 XPIO 上的串行 NOR FLASH 启动
0	1	在系统编程 (ISP)/串行启动	从 UART0/USB0 上烧写固件，OTP, 或从 UART0/USB0 上启动
1	0	在系统编程 (ISP)/串行启动	从 UART0/USB0 上烧写固件，OTP, 或从 UART0/USB0 上启动
1	1	保留模式	保留模式

表 4: 启动配置表

引脚名称	描述	建议用法
XTALI	24MHz 时钟输入	接 24MHz 晶体或有源时钟
XTALO	24MHz 时钟输出	接 24MHz 晶体或悬空

表 5: 特殊功能引脚配置

注意：本产品的 LQFP64、QFN48 封装上：

- `USB_DP` 与 `PA24` 复用，当用作 USB 功能时，应当配置 `PA24` 为模拟功能 (`PAD[FUNC_CTL].ANALOG 位置 1`)
- `USB_DM` 与 `PA25` 复用，当用作 USB 功能时，应当配置 `PA25` 为模拟功能 (`PAD[FUNC_CTL].ANALOG 位置 1`)
- `PA24` 和 `PA25` 不用做 USB 时，应当配置 USB 的 `PHY_CTRL0` 寄存器 (`PHY_CTRL0 |= 0x001000E0u`)，关闭 DP, DM 的下拉电阻。
- 在系统编程 (ISP) 模式下，仅支持从 `UART0` 烧写固件，或从 `UART0` 启动

2.6 IO 复位状态

表 6 总结了本产品所有 IO 在系统复位后的状态：

名称	复位后状态	复位后功能
PA04	高阻	JTAG.TDO
PA05	输入内部上拉	JTAG.TDI
PA06	输入内部下拉	JTAG.TCK
PA07	输入内部上拉	JTAG.TMS
PA08	输入内部上拉	JTAG.TRST
PY00	输出高电平	PUART.TXD

名称	复位后状态	复位后功能
PY01	输入内部上拉	PUART.RXD
PY02	输出高电平	PUART.RTS
PY03	输入内部上拉	PUART.CTS
PY05	输出高电平	PWDG.RST
其余 IO	输入状态保持器	GPIO

表 6: IO 复位状态表

2.7 IO 供电引脚

本产品上, GPIO 端口 A 的 IO(PA00~PA31) 供电引脚为 VIO_B00。

GPIO 端口 B 的 IO(PB00~PA15) 供电引脚为 VIO_B01。

GPIO 端口 Y 的 IO(PY00~PY07) 供电引脚为 VPMC。

3 电源

该系列芯片供电是通过对 DCDC_IN 和 VPMC 脚输入 3.0-3.6V 单一电源，并通过内置的电压调节器提供系统所需的 VDD_SOC, VDD_PMCCAP, VDD_OTPCAP。

通过 VPMC 脚为电源管理域和 PDGO 提供电源，即使 DCDC_IN 掉电，电源管理域和 PDGO 的内容依然会保持。

除 VIO_B00 外，每个 I/O 电源 VIO_Bxx 根据相应负载接 1.8V 或者 3.3V 电源。VIO_B00 固定接 3.3V 电源。

3.1 电源框图

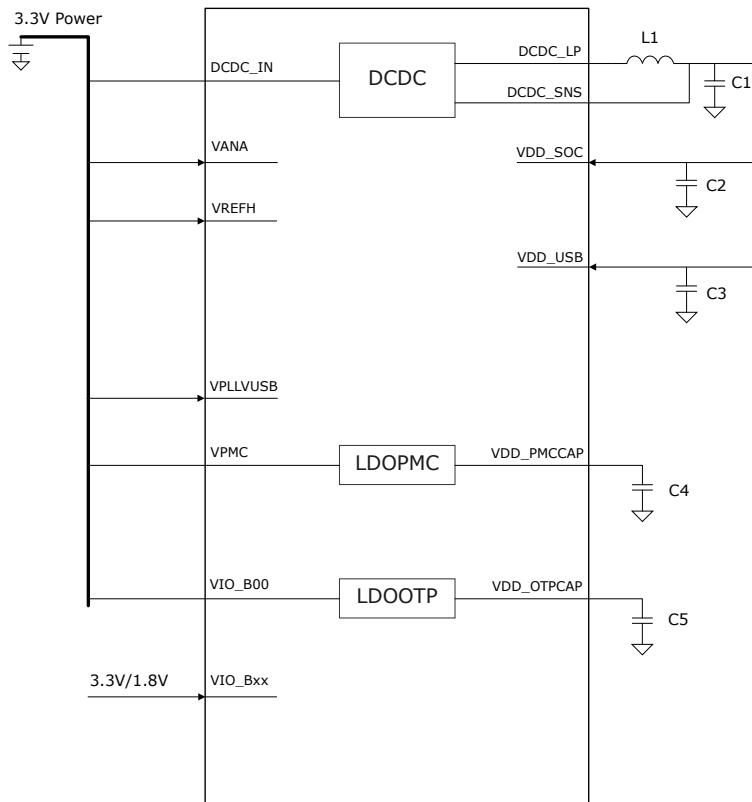


图 5: 系统供电框图

其中电感电容建议值如表 7。

位号	参考值
L1	2.2uH~10uF, 典型 4.7uH
C1	33~66uF
C2	0.1uF
C3	0.1uF
C4	4.7uF+0.1uF
C5	4.7uF+0.1uF

表 7: 电源部分电感, 电容参考值

当 BYPASS 内部 DCDC，使用外部电源供电时，参考框图如下。其中电容建议值如表 7。

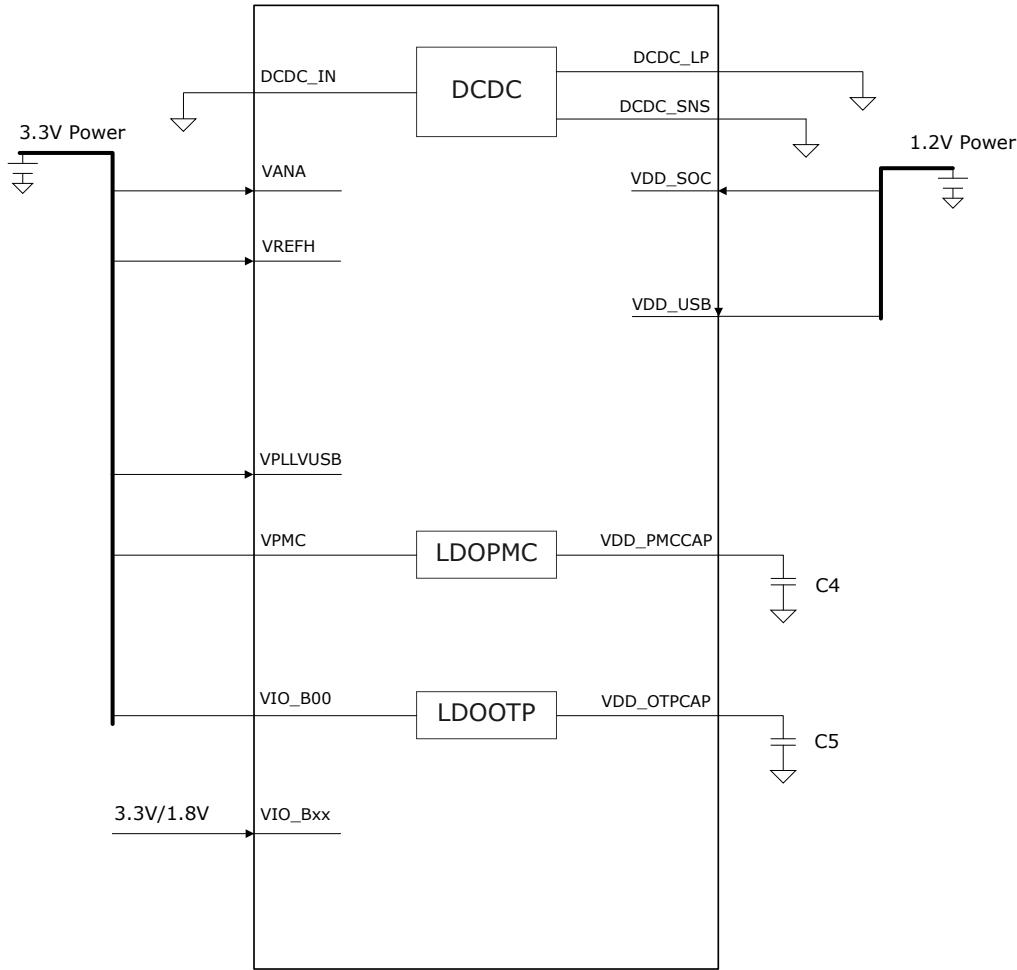


图 6: 不使用内置 DCDC 的系统供电框图

注意，使用内置 DCDC 时，16 位精度 ADC 会有一定程度下降；片上 ADC 使用的注意事项，请参考：
<https://www.hpmicro.com/design-resources/chip-information> 的 ADC 相关的应用文档。

3.2 上下电时序

上电要求 VPMC 不能迟于其他电源上电即可，下电要求 VPMC 不早于其他电源下电即可。

4 电气特性

4.1 工作条件

若无另行说明，所有电压都以 VSS 为基准。

4.1.1 最大值和最小值

表 8 给出了此芯片支持工作环境的最大值和最小值；超过表 8 所列的值，可能会对芯片造成永久伤害。

符号	描述	最小值	最大值	单位
DCDC_IN	DCDC 输入电压	-0.3	3.6	V
VPMC	VPMC 输入电压	-0.3	3.6	V
VDD_SOC	VDD_SOC 输入电压	-0.3	1.3	V
VDD_USB	USB CORE 输入电压	-0.3	1.3	V
VANA	VANA 输入电压	-0.3	3.6	V
VREFH	ADC 参考电压	2.4	3.6	V
USB0_VBUS	USB0 输入检测电压	-	5.5	V
VUSB	USB 输入电压	-0.3	3.6	V
VIO_Bxx(3.3V 模式)	IO 对应电源 3.3V 供电	-0.3	3.6	V
VIO_Bxx(1.8V 模式)	IO 对应电源 1.8V 供电	-0.3	1.98	V
ESD HBM	HBM 模型的抗 ESD 电压	-	2000	V
ESD CDM	CDM 模型的抗 ESD 电压	-	500	V
T _{STG}	存储温度	-40	150	°C

表 8: 最大值和最小值

4.1.2 正常工作条件

表 9列出了芯片的正常工作条件，若超出此表所列的工作条件，将不保证芯片的正常功能和性能。

符号	描述	工作场景	最大主频	最小值	典型值	最大值 ⁽¹⁾	单位
VDD_SOC ⁽²⁾	VDD_SOC 输入电压	性能模式	480 MHz	1.25	1.275	1.30	V
		平衡模式	400 MHz	1.15	1.175	1.30	V
		节能模式	280 MHz	1.05	1.075	1.30	V
		休眠模式 ⁽³⁾	-	0.9	-	1.30	V
DCDC_IN	DCDC 输入电压	-	-	3.0	3.3	3.6	V
VPMC	VPMC 输入电压	-	-	3.0	3.3	3.6	V
VANA	VANA 输入电压	-	-	3.0	3.3	3.6	V
VBUS0	VBUS0 输入电压	-	-	-	5.0	5.5	V
VUSB	VUSB 输入电压	-	-	3.0	3.3	3.6	V
VIO_Bxx (3.3V 模式)	对应 IO 电源 3.3V	-	-	3.0	3.3	3.6	V
VIO_Bxx (1.8V 模式)	对应 IO 电源 1.8V	-	-	1.62	1.8	1.98	V
T _A	工作环境温度	-	-	-40	-	105	°C
T _J	工作芯片结温	-	-	-40	-	125	°C

表 9: 正常工作条件

1. 芯片工作在最大电压下会导致较大的功耗和发热，长期在最大电压下工作会导致芯片使用寿命缩短

2. 先楫推荐通常情况下将 VDD_SOC 电压设定为典型值。

3. 休眠模式下，片上 DCDC 可保持较低电压输出，从而保存片上 SRAM 内的数据。

4.2 内置闪存特性

本产品内置 1MB 闪存。

内置的 1MB 闪存，分为 4096 个页 (page)，每个页包含 256 字节 (Byte)。一次编程最多可以烧写 256 字节。闪存的擦除可以按照每 4 页 (1K 字节)，16 页 (4K 字节)，128 页 (32K 字节)，256 页 (64K 字节) 和全片来进行。内置闪存的特性如表 10。

符号	描述	最小值	典型值	最大值	单位
ICC Standby	闪存待机电流	-	7.0	35	uA
ICC DPD	闪存深度休眠电流	-	0.6	4	uA
ICC Read	闪存读取电流	-	3	13	mA
ICC P	闪存编程电流	-	1.5	4	mA
ICC 1KE	闪存 1KB 擦除电流	-	1	5	mA

符号	描述	最小值	典型值	最大值	单位
ICC 4KE	闪存 4KB 擦除电流	-	1	6	mA
ICC 32KE	闪存 32KB 擦除电流	-	1	7	mA
ICC 64KE	闪存 64KB 擦除电流	-	1	8	mA
ICC CE	闪存全擦除电流	-	1	9	mA
t BP	闪存字节编程时间	-	100	200	us
t PP	闪存页编程时间	-	1	2	ms
t SE	闪存 1KB/4KB 扇区擦除时间	-	2.3	5	ms
t BE	闪存 32KB/64KB 块擦除时间	-	2.3	5	s
t CE	闪存全擦除时间	-	5	9	ms
Endurance	25°C 编程/擦除周期数	200k		-	Cycles
Data Retention	25°C 数据保存时间	-	50	-	Years

表 10: 内置闪存特性

4.3 DCDC 电气特性

内置 DCDC 电气特性如表 11。

参数	最小值	典型值	最大值	单位	备注
输入电压	3.0	3.3	3.6	V	
输出电压	0.6	-	1.375	V	
输出电压精度 (Run mode)	-3%	-	+3%	-	
输出电压精度 (LP mode)	-6%	-	+6%	-	
过流保护阈值	-	2	-	A	
过压保护阈值	-	1.6	-	V	

表 11: DCDC 电气特性

4.4 VPMC 欠压检测

VPMC 欠压检测 BOR 的特性如表 12。

参数	符号	最小值	典型值	最大值	单位	备注
欠压警告生效电压	VBOR Warning Assert	-	2.8	-	V	-
欠压警告释放电压	VBOR Warning Release	-	2.9	-	V	-
欠压复位生效电压	VBOR Reset Assert	-	2.6	-	V	-

参数	符号	最小值	典型值	最大值	单位	备注
欠压复位释放电压	VBOR Reset Release	-	2.7	-	V	-

表 12: VPMC 欠压检测特性

4.5 复位引脚 RESET_N

RESET_N 保持低电平以触发正常复位的时间长度要求, 请参考[表 13](#)。

参数	符号	最小值	典型值	最大值	单位	备注
RESET_N 低电平时间	T_resetn_low	300	1000	-	us	-

表 13: RESET_N 低电平复位特性

4.6 振荡器

4.6.1 24MHz 振荡器特性

参数	符号	最小值	典型值	最大值	单位	备注
频率	FREQ	-	24	-	MHz	-
等效串联电阻	ESR	-	40~80	-	Ω	-
负载电容	CL	-	6	-	pF	-

表 14: 24MHz 晶振

4.6.2 32KHz RC 振荡器时钟特性

参数	符号	最小值	典型值	最大值	单位	备注
频率	FREQ	-	32	-	KHz	-
频率准确度 (未校准)		-10	-	10	%	-

表 15: 32KHz RC 振荡器

4.6.3 24MHz RC 振荡器时钟特性

参数	符号	最小值	典型值	最大值	单位	备注
频率	FREQ	-	24	-	MHz	-
频率准确度		-2	-	2	%	-

表 16: 24MHz RC 振荡器

4.6.4 PLL 特性

参数	符号	最小值	典型值	最大值	单位	备注
参考频率	fREF	-	24	-	MHz	-
VCO 频率	fVCO	400	-	1000	MHz	-
锁定时间	tLOCK	-	-	2400	cycle	参考时钟周期

表 17: PLL 特性参数

4.7 外设时钟特性

表 18列举了本产品各个外设时钟的特性。

符号	条件	最小	典型	最大	单位
clk_top_cpu0	1.05V≤VDD_SOC≤1.30V	-	-	480	MHz
clk_top_mct0	1.05V≤VDD_SOC≤1.30V	-	-	24	MHz
clk_top_can0	1.05V≤VDD_SOC≤1.30V	-	-	80	MHz
clk_top_can1	1.05V≤VDD_SOC≤1.30V	-	-	80	MHz
clk_top_can2	1.05V≤VDD_SOC≤1.30V	-	-	80	MHz
clk_top_can3	1.05V≤VDD_SOC≤1.30V	-	-	80	MHz
clk_top_tmr0	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz
clk_top_tmr1	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz
clk_top_tmr2	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz
clk_top_tmr3	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz
clk_top_i2c0	1.05V≤VDD_SOC≤1.30V	-	-	80	MHz
clk_top_i2c1	1.05V≤VDD_SOC≤1.30V	-	-	80	MHz
clk_top_i2c2	1.05V≤VDD_SOC≤1.30V	-	-	80	MHz
clk_top_i2c3	1.05V≤VDD_SOC≤1.30V	-	-	80	MHz
clk_top_spi0	1.05V≤VDD_SOC≤1.30V	-	-	80	MHz
clk_top_spi1	1.05V≤VDD_SOC≤1.30V	-	-	80	MHz
clk_top_spi2	1.05V≤VDD_SOC≤1.30V	-	-	80	MHz
clk_top_spi3	1.05V≤VDD_SOC≤1.30V	-	-	80	MHz
clk_top_ur0	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz

符号	条件	最小	典型	最大	单位
clk_top_ur1	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz
clk_top_ur2	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz
clk_top_ur3	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz
clk_top_ur4	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz
clk_top_ur5	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz
clk_top_ur6	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz
clk_top_ur7	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz
clk_top_xpi0	1.05V≤VDD_SOC≤1.30V	-	-	333	MHz
clk_top_ana0	1.05V≤VDD_SOC≤1.30V	-	-	200	MHz
clk_top_ana1	1.05V≤VDD_SOC≤1.30V	-	-	200	MHz
clk_top_ana2	1.05V≤VDD_SOC≤1.30V	-	-	200	MHz
clk_top_ana3	1.05V≤VDD_SOC≤1.30V	-	-	200	MHz
clk_top_ref0	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz
clk_top_ref1	1.05V≤VDD_SOC≤1.30V	-	-	100	MHz

表 18: 外设时钟特性

4.8 工作模式

芯片在不同模式下的各模块电源配置如表 19

模式	CPU0 子系统电源	VDD_SOC	VPMC	DGO
等待模式	开	开	开	开
停止模式	可选	开	开	开
休眠模式	关	关	开	开
关机模式	关	关	关	开

表 19: 工作模式配置表

4.9 供电电流特性

电流消耗受多个参数和因素影响，其中包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及运行的代码等。

IDD(DCDC_IN) 的供电电流如表 20 所示。DCDC_IN、VPMC 由外部 3.3V 供电，VDD_SOC 由片上 DCDC 产生。CPU 运行 CoreMark 程序，代码是从指令本地存储器 (ILM) 执行。外设时钟打开后均处于默认频率（详情请参考 HPM5300 用户手册）。测试都是在典型工艺参数下的芯片上测试所得，仅供参考。

IDD(VPMC) 的供电电流如表 21 所示。

IDD(VANA) 的供电电流如表 22 所示。

IDD(VPLL) 的供电电流如表 23 所示。

符号	测试条件	CPU0	外设状态	$T_A=25^\circ\text{C}$	$T_A=85^\circ\text{C}$	$T_A=105^\circ\text{C}$	单位
IDD DCDC_IN = 3.3V	VDD_SOC=1.175V CPU/BUS@480/160MHz	开	全开	59.9	64.7	67.8	mA
		开	全关	33.5	36.8	39.6	mA
	VDD_SOC=1.10V CPU/BUS@240/120MHz	开	全开	36.2	39.1	41.4	mA
		开	全关	18.3	20.7	22.8	mA
	VDD_SOC=1.10V CPU/BUS@100/100MHz	开	全开	28.7	31.3	33.6	mA
		开	全关	13.1	15.4	17.3	mA
	VDD_SOC=1.05V CPU/BUS@24/24MHz	开	全开	5.5	7.3	8.8	mA
		开	全关	3.2	4.8	6.4	mA

表 20: 运行模式的典型电流

符号	测试条件	工作状态	$T_A=25^\circ\text{C}$	$T_A=85^\circ\text{C}$	$T_A=105^\circ\text{C}$	单位
IDD PMC	VPMC = 3.3V	运行模式 DCDC ON	1.06	1.14	1.20	mA
IDD PMC	VPMC = 3.3V	休眠模式 DCDC OFF	0.53	0.59	0.64	mA
IDD PMC	VPMC = 3.3V	关机模式 DGO Only	2.3	3.1	4.8	uA

符号	测试条件	工作状态	$T_A=25^\circ\text{C}$	$T_A=85^\circ\text{C}$	$T_A=105^\circ\text{C}$	单位
----	------	------	------------------------	------------------------	-------------------------	----

表 21: IDD(VPMC) 典型电流

符号	测试条件	工作状态	$T_A=25^\circ\text{C}$	$T_A=85^\circ\text{C}$	$T_A=105^\circ\text{C}$	单位
IDD VANA	VANA = 3.3V	ADC0 10KSPS	0.17	0.18	0.19	mA
IDD VANA	VANA = 3.3V	ALL Analog OFF	0.09	0.10	0.10	mA

表 22: IDD(VANA) 典型电流

符号	测试条件	工作状态	$T_A=25^\circ\text{C}$	$T_A=85^\circ\text{C}$	$T_A=105^\circ\text{C}$	单位
IDD VPLL	VPLL = 3.3V	ALL PLL ON	2.55	2.64	2.67	mA
IDD VPLL	VPLL = 3.3V	PLL0 ON	1.75	1.79	1.81	mA
IDD VPLL	VPLL = 3.3V	ALL PLL OFF	0.83	0.83	0.84	mA

表 23: IDD(VPLL) 典型电流

4.10 I/O 特性

4.10.1 I/O DC 特性

I/O 特性如表 24。

符号	参数	最小	典型	最大	单位
VDDIO 1.8V	IO 电源	1.62	1.8	1.98	V
VDDIO 3.3V	IO 电源	2.97	3.3	3.63	V
VIL 1.8V	输入低电平	0	-	0.3*VDDIO	V
VIH 1.8V	输入高电平	0.7*VDDIO	-	VDDIO	V
VOL 1.8V	输出低电平	-	-	0.15	V
VOH 1.8V	输出高电平	VDDIO-0.15	-	-	V
VIL 3.3V	输入低电平	0	-	0.3*VDDIO	V
VIH 3.3V	输入高电平	0.7*VDDIO	-	VDDIO	V
VOL 3.3V	输出低电平	-	-	0.15	V
VOH 3.3V	输出高电平	VDDIO-0.15	-	-	V
RPU22K	上拉电阻	17.1	22	28.3	kΩ
RPU47K	上拉电阻	36	47	60	kΩ
RPU100K	上拉电阻	75	100	125	kΩ
RPD100K	下拉电阻	75	100	125	kΩ

表 24: I/O 工作条件

4.10.2 I/O AC 特性

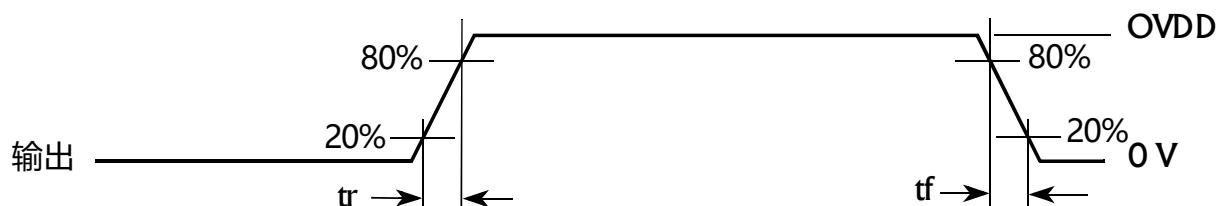


图 7: I/O AC 特性

类型	参数	符号	最小	最大	单位	测试条件
3.3/1.8V IO 1.8V	上升/下降时间	tr/tf	-	4.4/4.3	ns	15pf 负载, fast slew rate, 驱动强度 111b
3.3/1.8V IO 1.8V	上升/下降时间	tr/tf	-	8.2/7.9	ns	15pf 负载, slow slew rate, 驱动强度 111b

类型	参数	符号	最小	最大	单位	测试条件
3.3/1.8V IO 1.8V	上升/下降时间	tr/tf	-	4.6/4.4	ns	15pf 负载, fast slew rate, 驱动强度 011b
3.3/1.8V IO 1.8V	上升/下降时间	tr/tf	-	8.6/8.3	ns	15pf 负载, slow slew rate, 驱动强度 011b
3.3/1.8V IO 3.3V	上升/下降时间	tr/tf	-	2.6/2.5	ns	15pf 负载, fast slew rate, 驱动强度 111b
3.3/1.8V IO 3.3V	上升/下降时间	tr/tf	-	4.3/4.2	ns	15pf 负载, slow slew rate, 驱动强度 111b
3.3/1.8V IO 3.3V	上升/下降时间	tr/tf	-	2.9/2.7	ns	15pf 负载, fast slew rate, 驱动强度 011b
3.3/1.8V IO 3.3V	上升/下降时间	tr/tf	-	4.5/4.4	ns	15pf 负载, slow slew rate, 驱动强度 011b
3.3V IO 3.3V	上升/下降时间	tr/tf	-	2.1/1.6	ns	15pf 负载, fast slew rate, 驱动强度 111b
3.3V IO 3.3V	上升/下降时间	tr/tf	-	3.4/3.3	ns	15pf 负载, slow slew rate, 驱动强度 111b
3.3V IO 3.3V	上升/下降时间	tr/tf	-	2.2/1.7	ns	15pf 负载, fast slew rate, 驱动强度 011b
3.3V IO 3.3V	上升/下降时间	tr/tf	-	3.6/3.4	ns	15pf 负载, slow slew rate, 驱动强度 011b

表 25: I/O AC 特性

4.11 JTAG 接口

JTAG 时序如图 8。

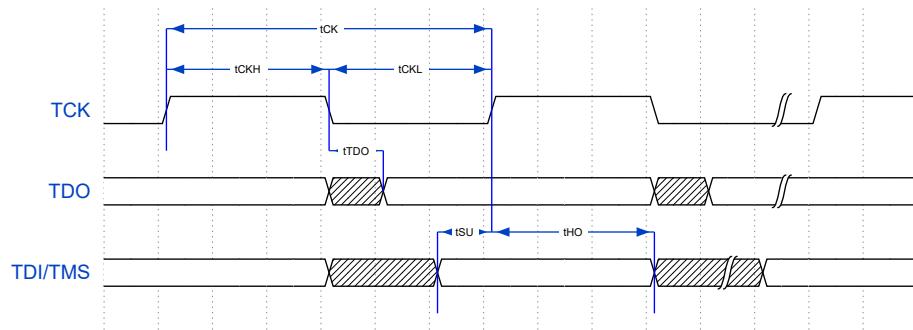


图 8: JTAG 时序图

符号	描述	最小值	最大值	单位
tCK	一个时钟周期持续的时间	40	-	ns
tCKH	一个时钟周期内高电平持续时间	0.48*P	0.52*P	ns
tCKL	一个时钟周期内低电平持续时间	0.48*P	0.52*P	ns
tSU(TDI-TCK)	输入建立时间, 从 TCK 高到 TDI 有效	8	-	ns
tSU(TMS-TCK)	输入建立时间, 从 TCK 高到 TMS 有效	8	-	ns
tHO(TCK-TDI)	输入保持时间, 从 TCK 高到 TDI 有效	15	-	ns
tHO(TCK-TMS)	输入保持时间, 从 TCK 高到 TMS 有效	15	-	ns
tTDO(TCK-TDO)	TCK 下降沿到 TDO 数据有效时间	-	15	ns

表 26: JTAG 时序参数

4.12 XPI 存储器接口

4.12.1 DC 特性

参考 I/O 即可

4.12.2 AC 特性

XPI 采样时钟有三种源：

- 由 XPI 控制器生成并通过 DQS 回送 ($XPI_GCR0[RXCLKSRC] = 0x0$)
- 由 XPI 控制器生成并在内部回送 ($XPI_GCR0[RXCLKSRC] = 0x1$)
- 来自外部 DQS 的输入 ($XPI_GCR0[RXCLKSRC] = 0x3$)

以下是三种采样时钟源以及 SDR、DDR 模式对应的输入读操作的特性和时序。测量数据基于电容负载为 15pF，输入 slew rate 为 1V/ns。

4.12.2.1 SDR 模式

$XPI_GCR0[RXCLKSRC] = 0x0,0x1$ 对应时序如图 9。

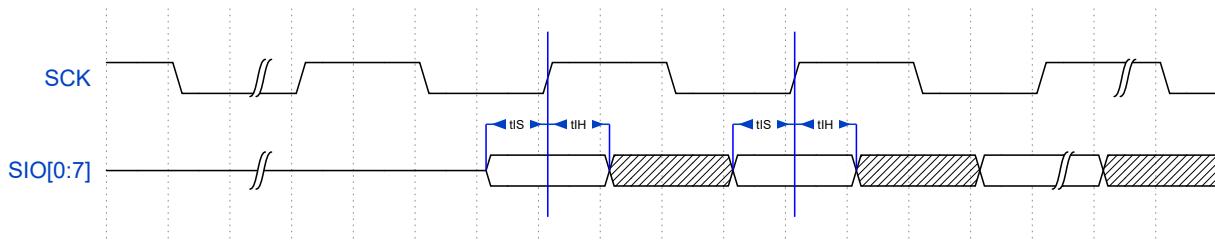


图 9: XPI SDR 模式的输入时序 ($XPI_GCR0[RXCLKSRC] = 0x0,0x1$)

符号	参数	最小值	最大值	单位
	时钟频率	—	60	MHz
tIS	输入数据的建立时间	8.67	—	ns
tIH	输入数据的保持时间	0	—	ns

表 27: XPI SDR 模式的输入特性 ($XPI_GCR0[RXCLKSRC] = 0x0$)

符号	参数	最小值	最大值	单位
	时钟频率	—	133	MHz
tIS	输入数据的建立时间	2	—	ns
tIH	输入数据的保持时间	1	—	ns

表 28: XPI SDR 模式的输入特性 ($XPI_GCR0[RXCLKSRC] = 0x1$)

图 9 所示时序基于存储器在 SCK 下降沿生成读取数据，以及 XPI 控制器在下降沿采样读取数据。

在 SDR 模式下， $XPI_GCR0[RXCLKSRC] = 0x3$ ，由存储器提供读数据和读选通时，有两种情况：

- 情形 1：存储器在 SCK 上升沿（或下降沿）上生成读数据和读选通信号。

$XPI_GCR0[RXCLKSRC] = 0x3$ ，情形 1 对应时序如图 10。

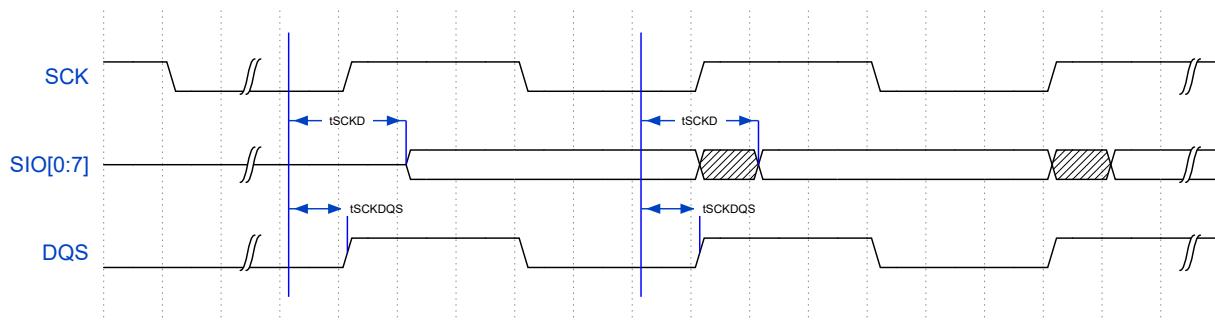


图 10: XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0x3, 情形 1)

符号	参数	最小值	最大值	单位
	时钟频率	—	166	MHz
tSCKD - tSCKDQS	tSCKD 和 tSCKDQS 时差	-2	2	ns

表 29: XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0x3, 情形 1)

图 10 所示时序基于存储器在 SCK 上升沿生成读数据和读选通，XPI 控制器在 DQS 下降沿采样读取数据。

- 情形 2: 存储器在 SCK 下降沿产生读数据，在 SCK 上升沿产生读选通。

XPI_GCR0[RXCLKSRC] = 0x3, 情形 2 对应时序如图 11。

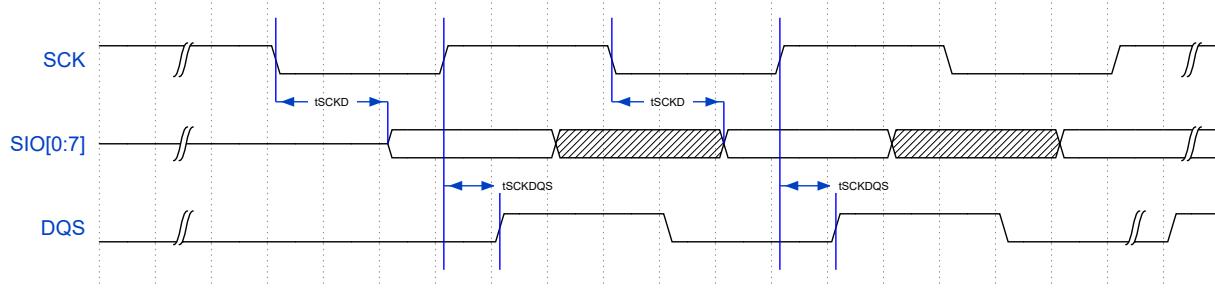


图 11: XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0x3, 情形 2)

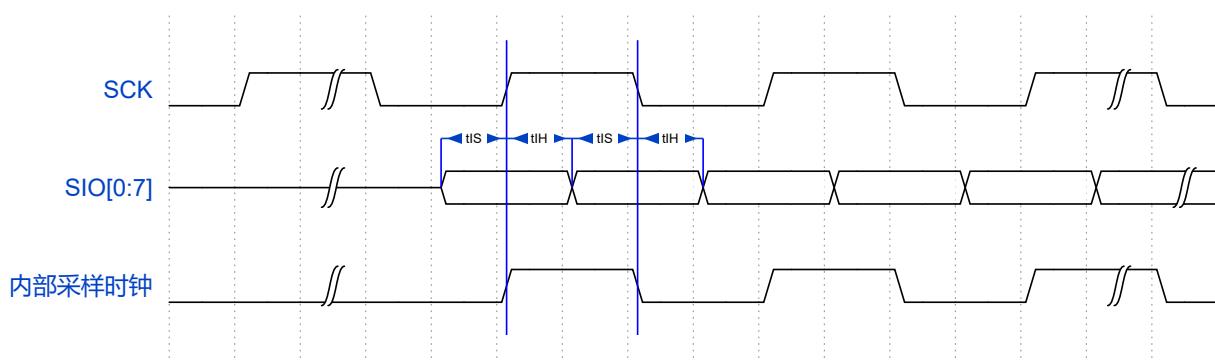
符号	参数	最小值	最大值	单位
	时钟频率	—	166	MHz
tSCKD - tSCKDQS	tSCKD 和 tSCKDQS 时差	-2	2	ns

表 30: XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0x3, 情形 2)

图 11 是存储器在 SCK 下降沿生成读取数据并在 SCK 上升沿生成读取选通，XPI 控制器在半周期延迟的 DQS 上升沿处采样读取数据。

4.12.2.2 DDR 模式

XPI DDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0x0, 0x1) 对应时序如图 12。

图 12: XPI DDR 模式的输入时序 ($XPI_GCR0[RXCLKSRC] = 0x0,0x1$)

符号	参数	最小值	最大值	单位
	时钟频率	—	30	MHz
tIS	输入数据的建立时间	8.67	—	ns
tIH	输入数据的保持时间	0	—	ns

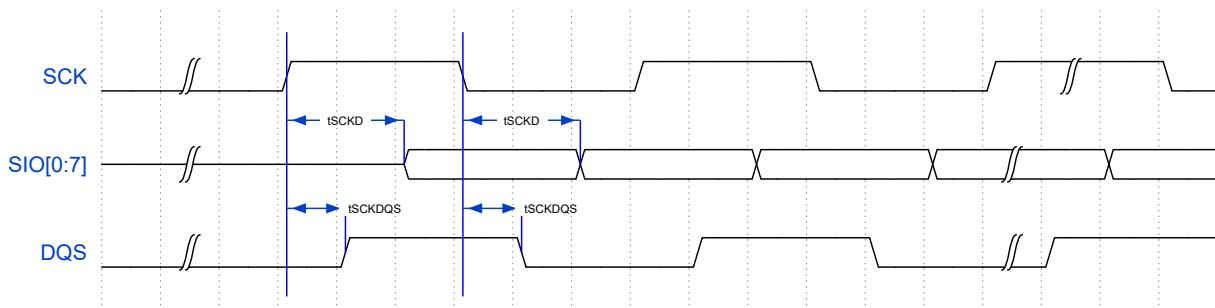
表 31: XPI DDR 模式的输入特性 ($XPI_GCR0[RXCLKSRC] = 0x0$)

符号	参数	最小值	最大值	单位
	时钟频率	—	66	MHz
tIS	输入数据的建立时间	2	—	ns
tIH	输入数据的保持时间	1	—	ns

表 32: XPI DDR 模式的输入特性 ($XPI_GCR0[RXCLKSRC] = 0x1$)

在 DDR 模式下, $XPI_GCR0[RXCLKSRC] = 0x3$, 存储器在 SCK 上升沿 (或下降沿) 上生成读数据和读选通信号。

XPI DDR 模式的输入时序 ($XPI_GCR0[RXCLKSRC] = 0x3$) 对应时序如图 13。

图 13: XPI DDR 模式的输入时序 ($XPI_GCR0[RXCLKSRC] = 0x3$)

符号	参数	最小值	最大值	单位
	时钟频率	—	166	MHz
tSCKD - tSCKDQS	tSCKD 和 tSCKDQS 时差	-1	1	ns

表 33: XPI DDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0x3)

4.12.2.3 XPI 输出/写操作

以下部分描述了 XPI 控制器的输出信号时序，包括控制信号和数据输出。

- SDR 模式

XPI SDR 模式的输出信号时序对应时序如图 14。

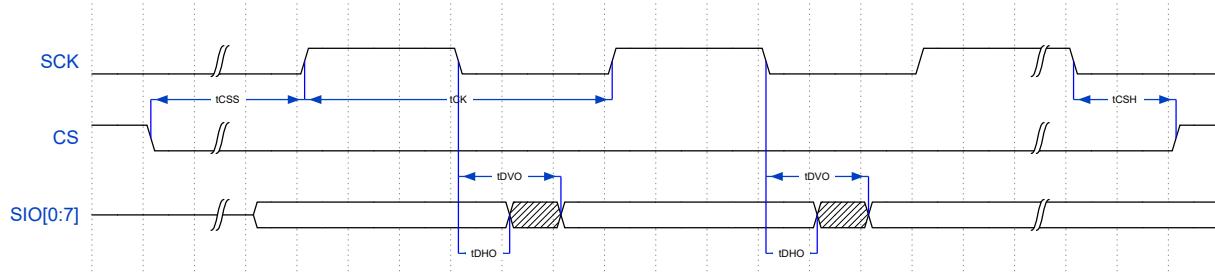


图 14: XPI SDR 模式的输出信号

符号	参数	最小值	最大值	单位
fCK	时钟频率	—	166	MHz
tCK	SCK 时钟周期	6	—	ns
tDVO	输出信号有效时间	—	1	ns
tDHO	输出信号保持时间	1	—	ns
tCSS	片选信号建立时间	3 x tCK - 1	—	ns
tCSH	片选信号保持时间	3 x tCK + 2	—	ns

表 34: XPI SDR 模式的输出信号时序

- DDR 模式

XPI DDR 模式的输出信号时序对应时序如图 15。

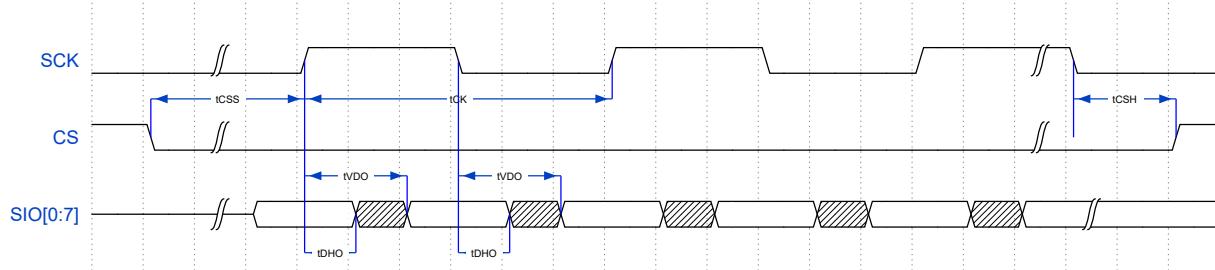


图 15: XPI DDR 模式的输出信号

符号	参数	Min	Max	Unit
fCK	时钟频率	—	166	MHz
tCK	SCK 时钟周期 (XPI_GCR0[RXCLKSRC] = 0x0)	6	—	ns
tDVO	输出信号有效时间	—	2.2	ns
tDHO	输出信号保持时间	0.8	—	ns
tCSS	片选信号建立时间	$3 \times tCK/2 - 0.7$	—	ns
tCSH	片选信号保持时间	$3 \times tCK/2 + 0.8$	—	ns

表 35: XPI DDR 模式的输出信号时序

4.13 模拟接口

4.13.1 16 位模数转换 ADC 特性

参数	符号	最小值	典型值	最大值	单位	备注
电源电压	VDDA	3	3.3	3.6	V	-
输入信号电压	Vin	VREFL	-	VREFH	V	-
输入采样电容	Cs	-	4	-	pF	-
采样开关电阻	Ron	-	300	-	ohm	-
参考高电平	VREFH	2.4	-	VDDA	V	-
参考低电平	VREFL	0	-	-	V	-
采样速率	fs	-	2	-	MHz	-
差分非线性	DNL	-	+1/-0.89	-	LSB	单端信号
积分非线性	INL	-	+3.1/-5.2	-	LSB	单端信号
偏移误差	Vos	-	4	-	LSB	单端信号输入接 地
增益误差 (全摆 幅误差)	GE	-	3	-	LSB	单端信号输入接 VREFH
总未调整误差	TUE	-	7.2	-	-	单端信号
信号噪声失真比	SINAD	-	74	-	dB	单端信号 (VREFH=3.0V)
有效位数	ENOB	-	12	-	位	单端信号 (VREFH=3.0V)
总谐波失真	THD	-	93	-	dB	单端信号

表 36: 16 位 ADC 参数

4.13.2 比较器 ACMP 特性

参数	符号	最小值	典型值	最大值	单位	备注
电源电压	VDDA	3	3.3	3.6	V	-
输入信号电平	Vin	0	-	VDDA	V	-
输入偏移	Vos	-3	-	3	mV	HPMODE=1
		-6	-	6	mV	HPMODE=0
迟滞电压	Vhyst	18	24	30	mV	HPMODE=0; HYST<1:0>=00
		12	16	20	mV	HPMODE=0; HYST<1:0>=01
		6	8	10	mV	HPMODE=0; HYST<1:0>=10
		0	0	0	mV	HPMODE=0; HYST<1:0>=11
		24	30	36	mV	HPMODE=1; HYST<1:0>=00
		16	20	24	mV	HPMODE=1;HYST<1:0>=01
		8	10	12	mV	HPMODE=1;HYST<1:0>=10
		0	0	0	mV	HPMODE=1;HYST<1:0>=11
传输延迟	Tp	60	80	100	ns	HPMODE=0
		5	6.5	8.5	ns	HPMODE=1

表 37: 比较器参数

4.13.3 12 位数模转换器 DAC 特性

符号	描述/条件	最小值	典型值	最大值	单位
VDDA	供电电压	3.0	3.3	3.6	V
VDACR	参考电压	1.71	3.6	3.6	V
CLD	输出负载电容	-	-	400	pF
RLD	输出负载电阻	3k	-	-	ohm
IDDA DACLP	DAC LP 模式供电电流, 无负载	-	360	-	uA
IDDA DACHP	DAC HP 模式供电电流, 无负载	-	1.6	-	mA
Tpwrup	DAC 上电到输出有效的时间	-	-	10	uA
Tdachp	DAC HP 模式的输出建立时间 RLD = 3K ohm, CLD = 400 pF 数字编码 410~3891	-	1	1.2	uS

符号	描述/条件	最小值	典型值	最大值	单位
Tdaclp	DAC LP 模式的输出建立时间 RLD = 3K ohm, CLD = 400 pF 数字编码 410~3891	-	3.5	4	uS
SRHP	DAC HP 模式 Slew Rate RLD = 3K ohm, CLD = 400 pF 数字编码 410~3891	-	3	-	V/us
SRLP	DAC LP 模式 Slew Rate RLD = 3K ohm, CLD = 400 pF 数字编码 410~3891	-	7.2	-	V/us
INL	积分非线性	-	±3	-	LSB
DNL	差分非线性	-	±0.8	-	LSB
voffset	偏置误差 数字编码 410~3891	-	±6	-	mV
Egain	增益误差	-	±0.5	-	%
Vout	输出电压范围	VSSA+0.04	-	VDDA-0.04	V

表 38: 12 位 DAC 参数

4.13.4 运算放大器 OPAMP 特性

符号	描述/条件	最小值	典型值	最大值	单位
VDDA	供电电压	3.0	3.3	3.6	V
CMIR	共模输入范围	0	-	VDDA	V
Vloffset	Input Offset Voltage Vcm = VDDA/2, all temprature, no load	-	-	±2	mV
Vloffset	Input Offset Voltage All common mode input range, all temprature, no load	-	-	±3	mV
Iload	Drive Current, source or sink current 250mV≤output Voltage≤VDDA-250mV	-	-	3300	uA
Rload	Resistive Load	1k	-	-	ohm
Cload	Capacitive Load	1	-	-	pF
CMRR	共模抑制比	-	76	-	dB
PSRR	电源抑制比 1KHz, Cload = 50pF, 250mV≤output Voltage≤VDDA-250mV Follower Configuration	83	87	-	dB

符号	描述/条件	最小值	典型值	最大值	单位
PSRR	电源抑制比 1KHz, Cload = 50pF, 250mV≤output Voltage≤VDDA-250mV Non-inv amplify Configuration	55	77	-	dB
PSRR	电源抑制比 1KHz, Cload = 50pF, 250mV≤output Voltage≤VDDA-250mV Inv amplify Configuration	50	78	-	dB
GBW	Gain bandwidth product Cload≤50pF, No Rload or Rload≥1Kohm 250mV≤output Voltage≤VDDA-250mV Follower Configuration	3	10	16	MHz
GBW	Gain bandwidth product Cload≤5pF, No Rload or Rload≥1Kohm 250mV≤output Voltage≤VDDA-250mV Follower Configuration	7	27	43	MHz
SR	Slew Rate From 10% to 90% Output voltage, Cload≤50pF Follower Configuration	-	7	-	V/us
SR	Slew Rate From 10% to 90% Output voltage, Cload≤5pF Follower Configuration	-	18	-	V/us
AO	Open Loop Gain No Rload, 250mV≤output Voltage≤VDDA-250mV	92	115	118	dB
AO	Open Loop Gain Rload≥1Kohm, 250mV≤output Voltage≤VDDA-250mV	92	115	118	dB
PM	Phase Margin Cload≤50pF, No Rload or Rload≥1Kohm 250mV≤output Voltage≤VDDA-250mV Follower Configuration	-	76	-	°

符号	描述/条件	最小值	典型值	最大值	单位
PM	Phase Margin Cload \leq 5pF, No Rload or Rload \geq 1Kohm 250mV \leq output Voltage \leq VDDA-250mV Follower Configuration	-	66	-	°
GM	Gain Margin Cload \leq 50pF, No Rload or Rload \geq 1Kohm 250mV \leq output Voltage \leq VDDA-250mV Follower Configuration	-	16	-	dB
PM	Gain Margin Cload \leq 5pF, No Rload or Rload \geq 1Kohm 250mV \leq output Voltage \leq VDDA-250mV Follower Configuration	-	11	-	dB
Vohsat	High Saturation Output Voltage	VDDA- 150mV	-	-	mV
Volsat	Low Saturation Output Voltage	-	-	150	mV
Twakeup	Wake up time from disable state Cload \leq 50pF, Rload \geq 1Kohm Follower Configuration	-	1.7	2.8	us
Twakeup	Wake up time from disable state Cload \leq 5pF, Rload \geq 1Kohm Follower Configuration	-	1.5	3.2	us
Gerr	Gain Error PGA Gain = 2, 250mV \leq output Voltage \leq VDDA-250mV	0	-	0.5	%
Gerr	Gain Error PGA Gain = 4, 250mV \leq output Voltage \leq VDDA-250mV	-0.3	-	0.2	%
Gerr	Gain Error PGA Gain = 8, 250mV \leq output Voltage \leq VDDA-250mV	-0.9	-	0.1	%
Gerr	Gain Error PGA Gain = 16, 250mV \leq output Voltage \leq VDDA-250mV	-2.2	-	0	%
Gerr	Gain Error PGA Gain = 32, 250mV \leq output Voltage \leq VDDA-250mV	-5.3	-	0	%

符号	描述/条件	最小值	典型值	最大值	单位
Gerr	Gain Error PGA Gain = 64, 250mV≤output Voltage≤VDDA-250mV	-7.2	-	0	%
Gerr	Gain Error PGA Gain = 128, 250mV≤output Voltage≤VDDA-250mV	-10.3	-	0	%
Gerr	Gain Error PGA Gain = -2, 250mV≤output Voltage≤VDDA-250mV	-0.9	-	0	%
Gerr	Gain Error PGA Gain = -4, 250mV≤output Voltage≤VDDA-250mV	-0.9	-	0	%
Gerr	Gain Error PGA Gain = -8, 250mV≤output Voltage≤VDDA-250mV	-1	-	0	%
Gerr	Gain Error PGA Gain = -16, 250mV≤output Voltage≤VDDA-250mV	-1.2	-	0.3	%
Gerr	Gain Error PGA Gain = -32, 250mV≤output Voltage≤VDDA-250mV	-1.7	-	0.8	%
Gerr	Gain Error PGA Gain = -64, 250mV≤output Voltage≤VDDA-250mV	-3	-	1.8	%
Gerr	Gain Error PGA Gain = -128, 250mV≤output Voltage≤VDDA-250mV	-5.8	-	3.7	%
Rpga	PGA R2/R1 resistor value, non-inverting configuration, PGA gain = 2	-	10/10	-	Kohm/Kohm
Rpga	PGA R2/R1 resistor value, non-inverting configuration, PGA gain = 4	-	30/10	-	Kohm/Kohm
Rpga	PGA R2/R1 resistor value, non-inverting configuration, PGA gain = 8	-	70/10	-	Kohm/Kohm
Rpga	PGA R2/R1 resistor value, non-inverting configuration, PGA gain = 16	-	150/10	-	Kohm/Kohm

符号	描述/条件	最小值	典型值	最大值	单位
R _{pga}	PGA R2/R1 resistor value, non-inverting configuration, PGA gain = 32	-	310/10	-	Kohm/Kohm
R _{pga}	PGA R2/R1 resistor value, non-inverting configuration, PGA gain = 64	-	630/10	-	Kohm/Kohm
R _{pga}	PGA R2/R1 resistor value, non-inverting configuration, PGA gain = 128	-	1270/10	-	Kohm/Kohm
R _{pga}	PGA R2/R1 resistor value, inverting configuration, PGA gain = -2	-	20/10	-	Kohm/Kohm
R _{pga}	PGA R2/R1 resistor value, inverting configuration, PGA gain = -4	-	40/10	-	Kohm/Kohm
R _{pga}	PGA R2/R1 resistor value, inverting configuration, PGA gain = -8	-	80/10	-	Kohm/Kohm
R _{pga}	PGA R2/R1 resistor value, inverting configuration, PGA gain = -16	-	160/10	-	Kohm/Kohm
R _{pga}	PGA R2/R1 resistor value, inverting configuration, PGA gain = -32	-	320/10	-	Kohm/Kohm
R _{pga}	PGA R2/R1 resistor value, inverting configuration, PGA gain = -64	-	640/10	-	Kohm/Kohm
R _{pga}	PGA R2/R1 resistor value, inverting configuration, PGA gain = -128	-	1280/10	-	Kohm/Kohm
Delta R	Resistor Variation	-5	-	5	%
PGA BW	PGA Bandwidth, non-inverting configuration, PGA gain = 2~128	-	GBW/gain	-	MHz
PGA BW	PGA Bandwidth, inverting configuration, PGA gain = -2~128	-	GBW/(gain + 1)	-	MHz
Ndensity	Voltage Noise Density 1KHz, R _{load} = 1Kohm	-	55	-	nV/√Hz

符号	描述/条件	最小值	典型值	最大值	单位
Ndensity	Voltage Noise Density 10KHz, Rload = 1Kohm	-	22	-	nV/ \sqrt{Hz}
IDD	OPAMP 功耗电流 No Rload, Follower Configuration	-	810	-	uA

表 39: OPAMP 参数

4.14 SPI 接口

4.14.1 SPI 主模式时序图

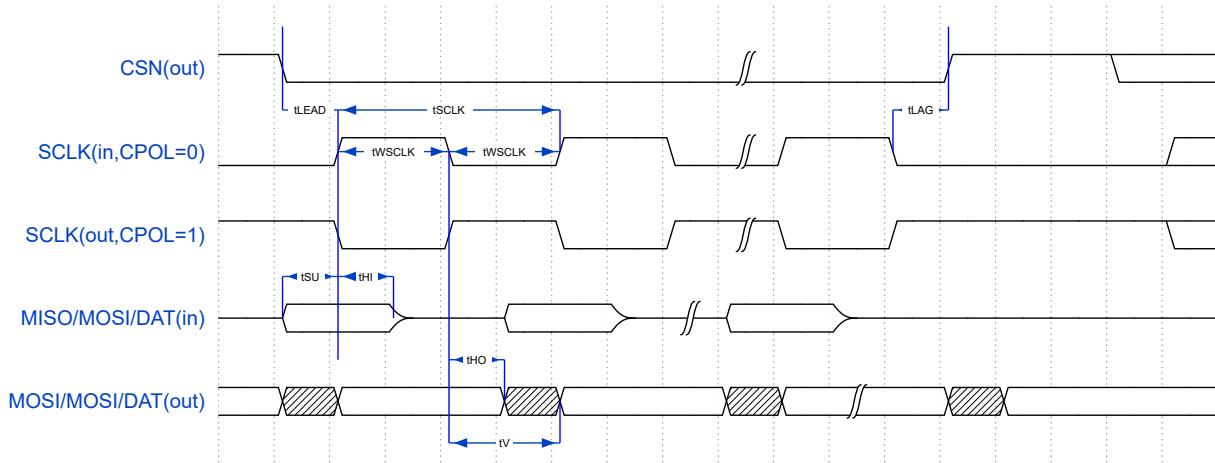


图 16: SPI 主模式时序 (CPHA=0)

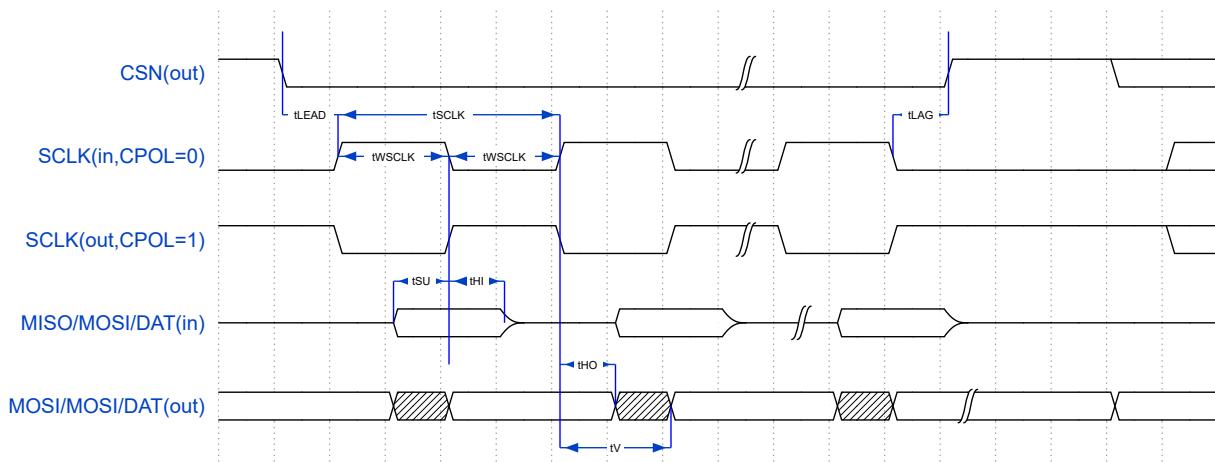


图 17: SPI 主模式时序 (CPHA=1)

符号	描述	最小	最大	单位
tSCK	SCK 周期	12.5	—	ns
tLEDA	CS 建立时间	1	—	tperiph
tLAG	CS 保持时间	1	—	tperiph
tWSCK	时钟高或低时间	$tSCK / 2 - 3$	—	ns
tSU	数据建立时间 (输入)	10	—	ns
tHI	数据保持时间 (输入)	2	—	ns
tV	数据有效 (SCLK 延后)	—	8	ns

符号	描述	最小	最大	单位
tHO	数据保持时间 (输出)	0	—	ns

表 40: SPI 主模式参数 (注: $t_{periph} = 1000 / f_{periph}$)

4.14.2 SPI 从模式时序图

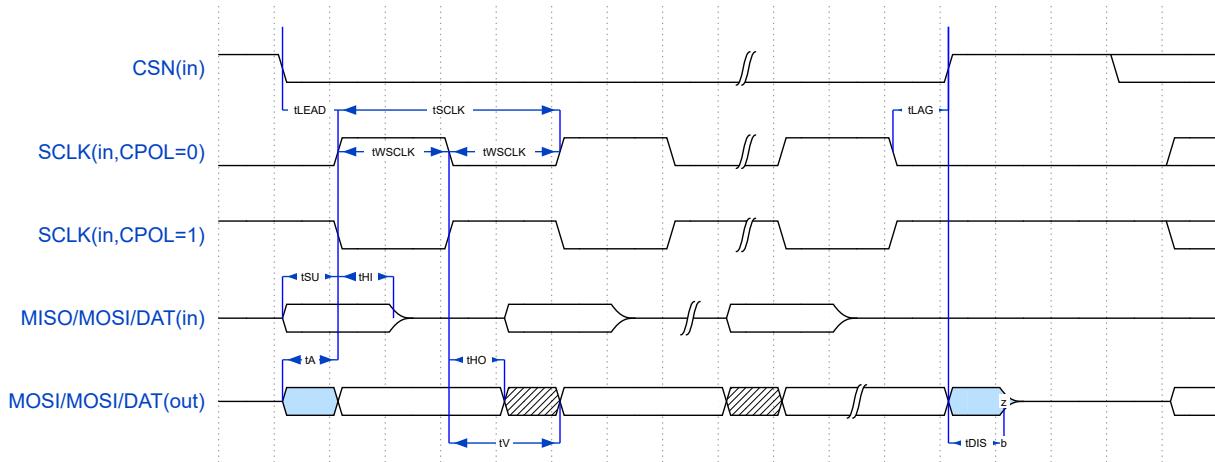


图 18: SPI 从模式时序 (CPHA=0)

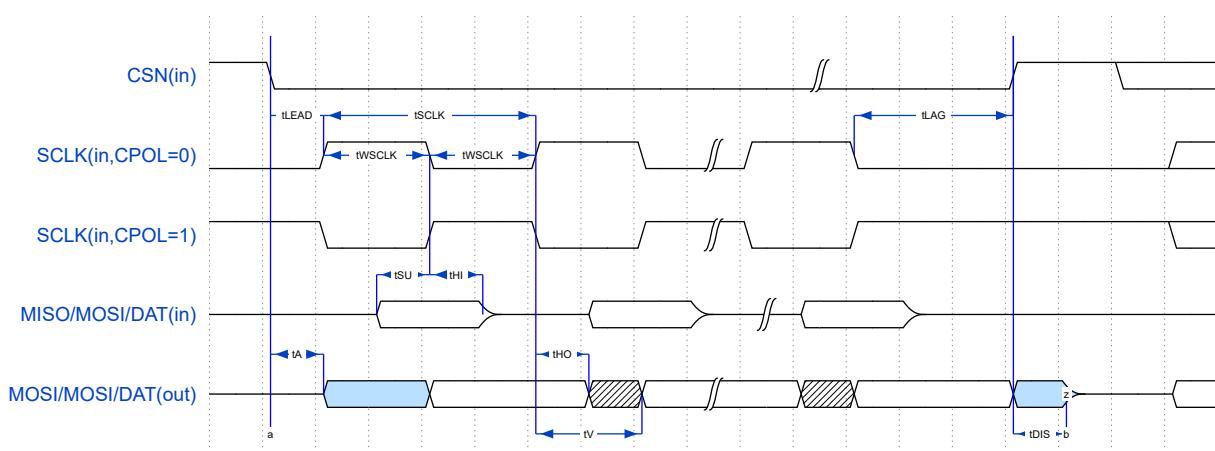


图 19: SPI 从模式时序 (CPHA=1)

符号	描述	最小	最大	单位
tSCK	SCK 周期	$4 \times t_{periph}$	—	ns
tLEAD	CS 建立时间	1	—	t_{periph}
tLAG	CS 保持时间	1	—	t_{periph}
tWSCK	时钟高或低时间	$t_{SCK} / 2 - 5$	—	ns
tSU	数据建立时间 (输入)	2.7	—	ns
tHI	数据保持时间 (输入)	3.8	—	ns
tA	从访问时间	—	t_{periph}	ns
tDIS	从 MISO 失效时间	—	t_{periph}	ns

符号	描述	最小	最大	单位
tV	数据有效 (SCLK 延后)	—	14.5	ns
tHO	数据保持时间 (输出)	0	—	ns

表 41: SPI 从模式参数 (注: $t_{periph} = 1000 / f_{periph}$)

4.15 I2C 接口

符号	描述	工作模式	最小值	最大值	单位
fSCL	SCL 时钟频率	标准模式 (Sm)	0	100	KHz
		快速模式 (Fm)	0	400	KHz
		快速模式加 (Fm+)	0	1000	KHz

表 42: I2C 工作模式及参数

5 封装

5.1 LQFP100 封装尺寸

LQFP100 尺寸如图 20。

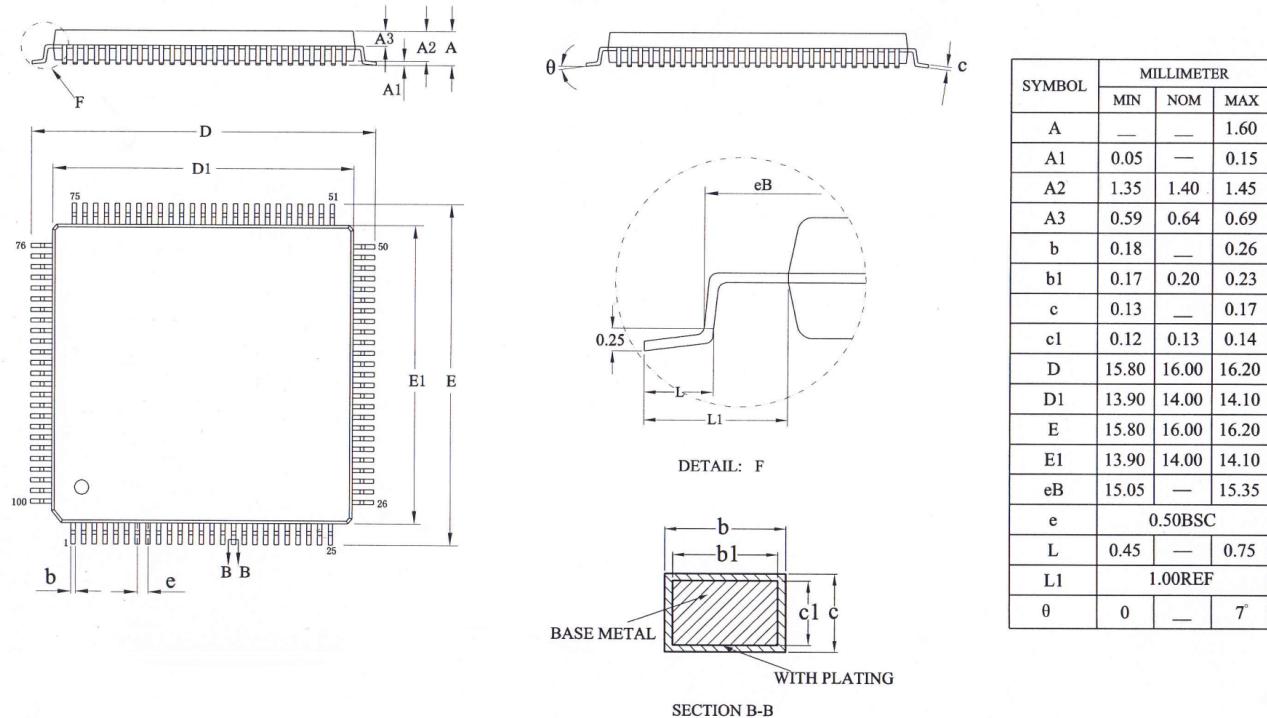


图 20: LQFP100 封装尺寸图

5.2 LQFP64 封装尺寸

LQFP64 尺寸如图 21。

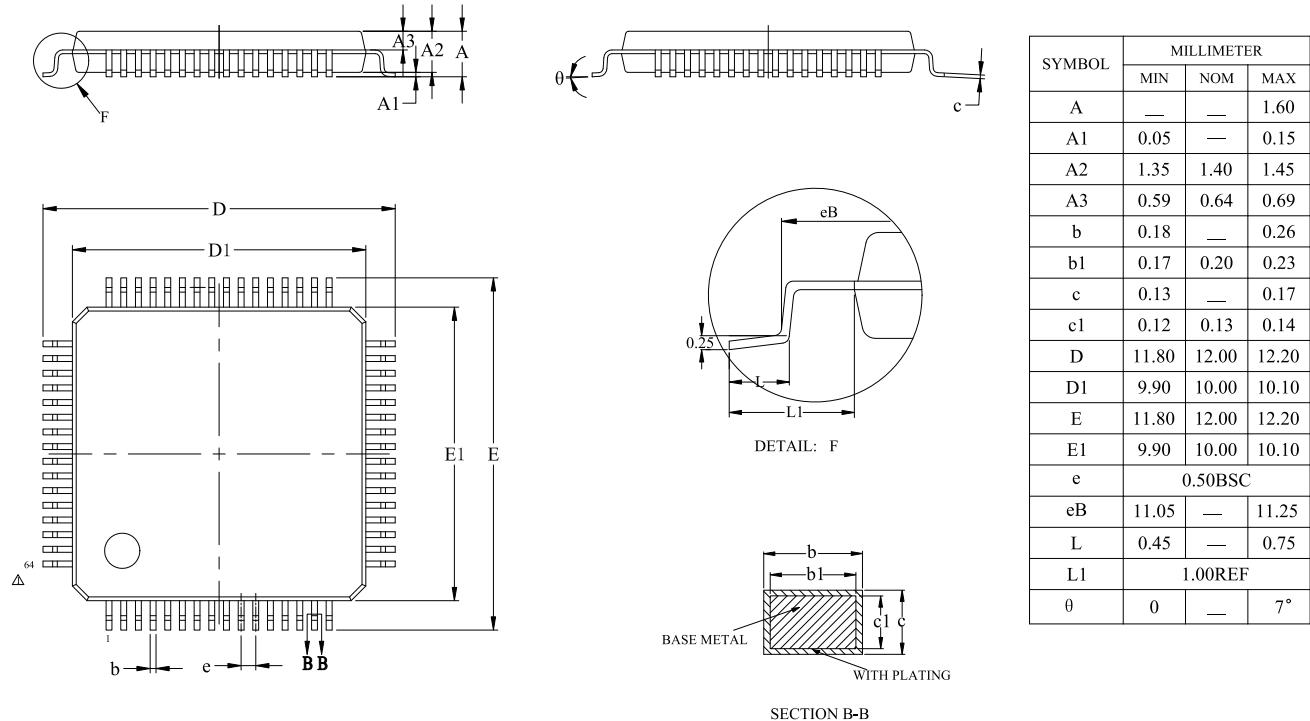


图 21: LQFP64 封装尺寸图

5.3 QFN48 封装尺寸

QFN48 尺寸如图 22。

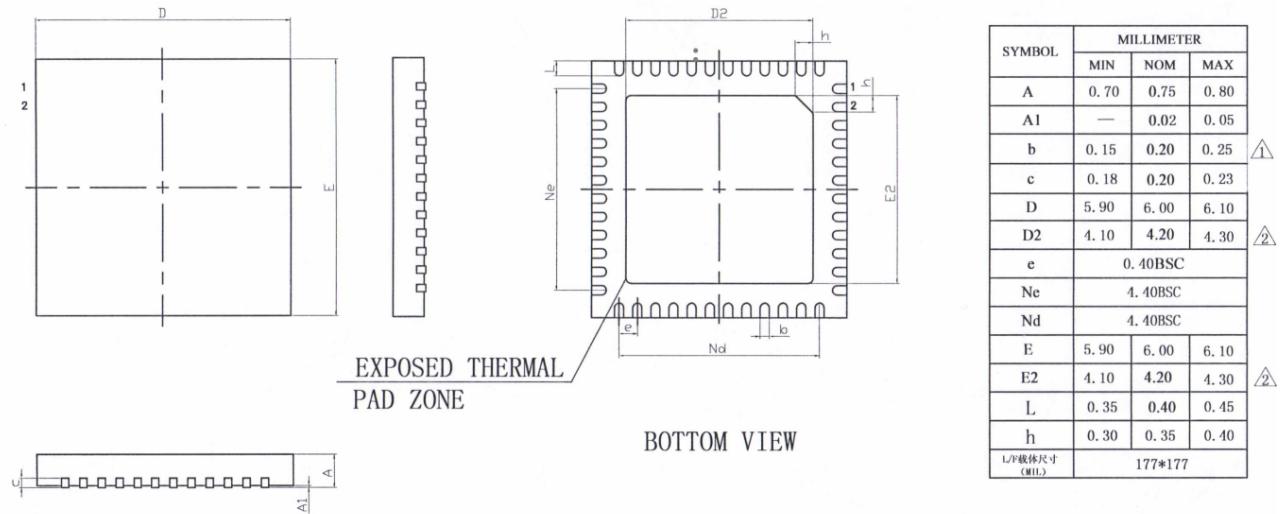


图 22: QFN48 封装尺寸图

5.4 封装热阻系数

$$T_J \max = T_A \ max + (P_D \ max \times \theta_{JA})$$

- T_A 指芯片工作时的环境温度, 单位是 $^{\circ}\text{C}$;
- θ_{JA} 是指封装对工作环境的热阻系数, 单位是 $^{\circ}\text{C}/\text{W}$;
- P_D 是指芯片的内部功耗和 I/O 功耗之和, 单位是 W ;
- T_J 是指芯片表面的结温。

芯片在指定环境温度下工作时芯片内部的结温 T_J , 不可以超出芯片可容许的最大结温 $T_J \ max$ 即可。

符号	参数	值	单位
θ_{JA}	LQFP100 14X14 mm/0.5mm 间距	50+/-5%	$^{\circ}\text{C}/\text{W}$
θ_{JA}	LQFP64 10X10 mm/0.5mm 间距	47+/-5%	$^{\circ}\text{C}/\text{W}$
θ_{JA}	QFN48 6X6 mm/0.4mm 间距	29+/-5%	$^{\circ}\text{C}/\text{W}$

表 43: 各封装热阻系数表

6 订购信息

6.1 产品命名规则

产品命名规则如图 23

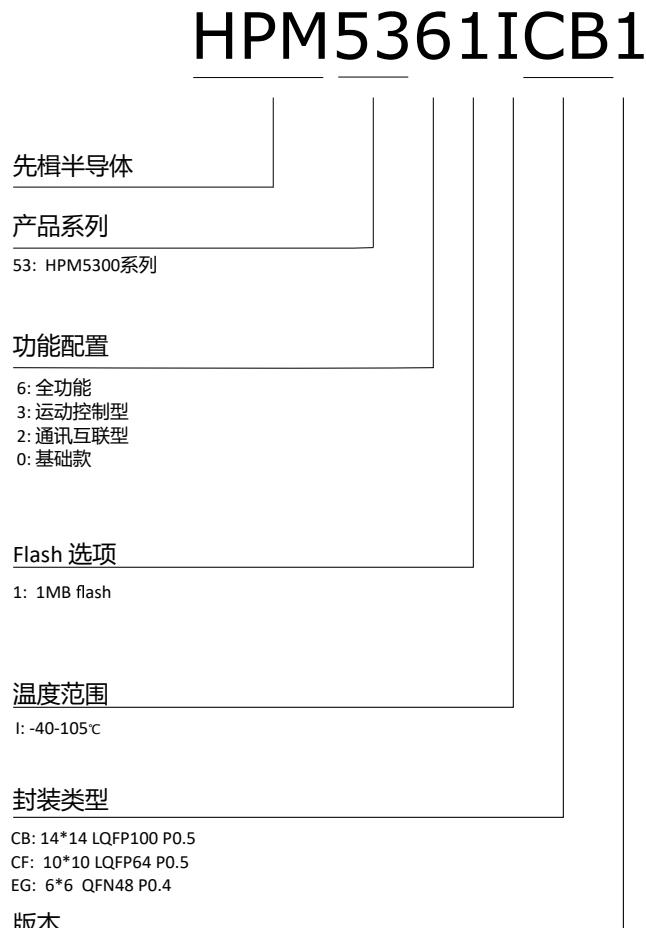


图 23: 产品命名规则

6.2 订购信息

订购信息如表 44:

产品型号	HPM5361	HPM5331	HPM5321	HPM5301
CPU		RV32-IMAFDCBP		
主频 MHz	480	480	480	360
片上总内存		288 KB		
片上闪存		1 MB		
ROM		128 KB		

产品型号	HPM5361	HPM5331	HPM5321	HPM5301
OTP	4096 位			/
SDP	AES-128/256, SHA-256			/
EXIP	XPIO: EXIP AES-128 CTR			/
RNG	真随机数发生器			/
安全启动	加密启动、可信启动			/
UID	128 位			
USB	1 个, 集成 HS PHY			
CAN-FD	4	/	4	/
UART	9	5 ⁽¹⁾	9	5 ⁽¹⁾
SPI	4	4	4	4
I2C	4	4	4	4
PWM	2x 8CH			/
QEIV2	2	2	/	/
QEO	2	2	/	/
SEI	2	2	/	/
MMC	2	2	/	/
RDC	1	1	/	/
PLB	1	1	1	/
TMR	5			3 ⁽²⁾
WDG	3			
DMA	HDMA 32CH			
ADC	2x 16b			1x 16b ⁽³⁾
DAC	2x 12b			/
CMP	2			
OPAMP	2	2	/	/
GPIO	56(HPM53XXICB1), 36(HPM53XXICF1), 29(HPM53XXIEG1)			
封装	14*14 LQFP100 P0.5 (HPM53XXICB1) 10*10 LQFP64 P0.5 (HPM53XXICF1) 6*6 QFN48 P0.4 (HPM53XXIEG1)			
温度范围 T_A	-40~105 °C			

表 44: 订购信息

(1) UART0, UART1, UART2, UART3 和 PUART 可用。

(2) GPTMR0, GPTMR1, PTMR 可用。

(3) ADC0 可用。

6.3 封装引出功能差异

本产品不同封装引出功能差异如表 45。

	HPM53xxxCBx	HPM53xxxCFx	HPM53xxIEGx
封装	LQFP100 14mm×14mm p0.5mm	LQFP64 10mm×10mm p0.5mm	QFN48 6mm×6mm p0.4mm
GPIO	56	36	29
模拟功能引脚	16	10	8
通讯接口	9x UART, 4x SPI, 4x I2C	7x UART, 4x SPI, 4x I2C UART4, UART5 未引出	7x UART, 3x SPI, 4x I2C UART4, UART5, SPI3 未引出
BOOT ROM ISP	USB/UART0	UART0	UART0
内部 IRC24M 启动	不支持	支持 ⁽¹⁾	支持 ⁽¹⁾

表 45: 封装引出功能差异

(1) MCU 由内部振荡器 IRC24M 启动并作为 PLL 的参考时钟输入，用户如有需要，应手动打开外部晶振 OSC24M 并做 PLL 参考时钟切换。

7 版本信息

日期	版本	描述
Rev0.0	2023/05/12	Rev0.0 发布。
Rev0.1	2023/05/19	Rev0.1 发布。 调整产品型号信息。 更新简介章节信息。 更新系统框图。
Rev0.2	2023/06/25	Rev0.2 发布。 调整封面产品特征信息。 更新简介章节信息。 更新 IO 复位状态表格。 更新 IDD 电流特性表格。 更新产品选型表格。
Rev0.3	2023/07/28	Rev0.3 发布。 更新简介章节信息。 增加 OPAMP 特性表格。 更新 ballmap 示意图。 更新内置闪存特性。
Rev0.4	2023/08/15	Rev0.4 发布。 更新产品型号信息。 更新产品订购信息表格。 更新功耗电流数据。
Rev0.5	2023/08/31	Rev0.5 发布。 更新产品订购信息表格。 更新 ADC 电气特性。
Rev0.6	2023/10/27	Rev0.6 发布。 更新产品订购信息表格。 更新封面产品型号信息。 更新 IO 复位状态，增加 IO 供电引脚描述。 更新电源章节部分描述。
Rev0.7	2024/03/08	Rev0.7 发布。 更正产品简介章节运动控制系统部分描述。 增加复位引脚特性描述。 修正 IO AC 特性表格描述。
Rev0.8	2024/04/17	Rev0.8 发布。 更正订购信息部分描述。
Rev0.9	2024/05/15	Rev0.9 发布。 添加外设时钟信息。

日期	版本	描述
Rev0.10	2024/08/01	Rev0.10 发布。 更正 PINMUX PA12, PA13 上的功能列表错误
Rev0.11	2025/01/15	Rev0.11 发布。 细化不同工作场景下频率和电压的对应关系 更正 QFN48 封装下的引脚间距
Rev0.12	2025/11/20	Rev0.12 发布。 增加 DCDC BYPASS 场景下电源框图

表 46: 版本信息

8 免责声明

上海先楫半导体科技有限公司（以下简称：“先楫”）保留随时更改、更正、增强、修改先楫半导体产品和/或本文档的权利，恕不另行通知。用户可在先楫官方网站 <https://www.hpmicro.com> 获取最新相关信息。

本声明中的信息取代并替换先前版本中声明的信息。