

HPM6P00

系列MCU 伺服电机驱动SAR ADC电流采样设计参考

适用于上海先楫半导体HPM6P00系列高性能微控制器。

目录

1. 硬件简介4

2. 硬件设计参考6

2.1. 电源设计 6

2.2. 模拟参考电压设计 11

2.3. 信号采集设计 11

2.4. ADC匹配滤波器设计 12

2.5. 差分采集 15

3. 测试内容15

3.1. 测试设备 15

4. 硬件测试16

4.1. 纹波测试 16

4.2. 电流采集输入偏置电压 16

版本信息

表1. 版本信息

日期	描述
2026-4-22	初版

1. 硬件简介

HPM6P00ServoMotor板卡是基于先楫高性能MCU HPM6P41IPB1设计，可实现三相或者四相伺服电机驱动功能的硬件参考电路，HPM6P41内置编码器解码外设、4路独立的高精度16位SAR ADC及丰富的通信接口。以其为核心的HPM6P00ServoMotor的硬件参考电路具备以下功能：

板卡内部：集成 4 对互补 PWM，用于驱动 4 个半桥 MOS 管；6 通道 16 位高精度 SAR ADC，用于电机控制、采集电压、电流信息；两路 SDM 接口，用于以 delta-sigma($\Delta\Sigma$)方式的电流采样，（跟 SAR ADC 二选一）。

板卡对外接口：配备丰富的通信接口（1 路 RS232、1 路 RS485、1 路 CAN、1 路 USB、1 路开关量输出 DO 接口、2 路开关量输入 DI 接口）；电机接口（正交编码器输入 QEI、正交编码器输出 QE0、串行编码器输入 SEI、脉冲接收 PU、方向接收 DR）；用户交互接口（5 个按键、1 个五位 8 段数码管）；

调试功能：板卡集成 JTAG 规格的 J-LINK 调试接口及 UART 串口，便于后期调试与程序烧录。

板卡实物图如下图1和图2所示。

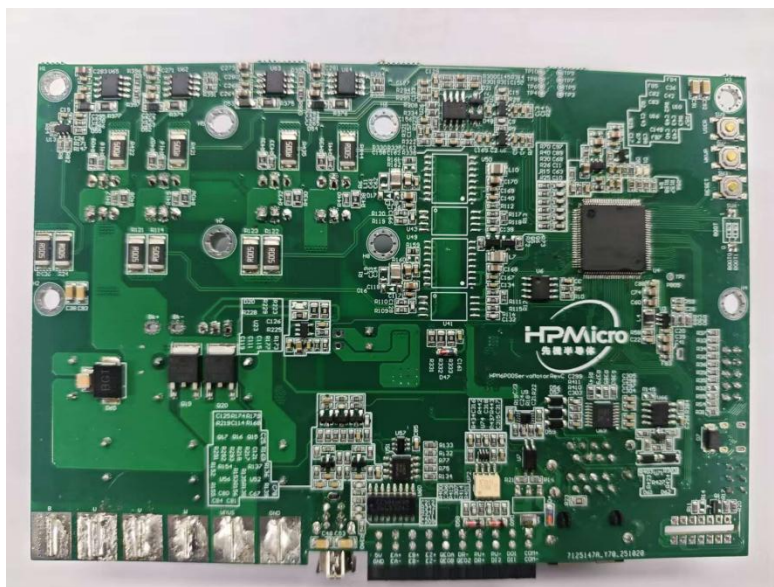


图 1 HPM6P00ServoMotor硬件实物图-正面

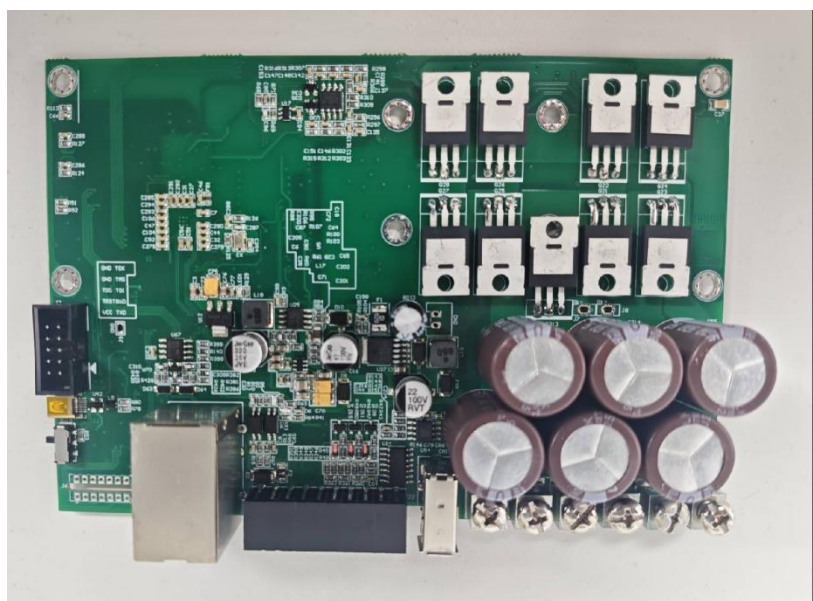


图 2 HPM6P00ServoMotor硬件实物图-反面

板卡的接口如下图所示：

表2. 伺服驱动板卡接口说明

功能	序号	说明
COM+	J3[1]	开关量供电VCC
COM-	J3[2]	开关量供电VEE
EXT_DI1	J3[3]	开关量输入1
EXT_DO1	J3[4]	开关量输出1
EXT_DI2	J3[5]	开关量输入2
PU-	J3[6]	脉冲信号
PU+	J3[7]	
DR+	J3[8]	方向信号
DR-	J3[9]	
QEO_OUT_Z	J3[10]	编码器输出
QEO_A	J3[11]	
QEO_B	J3[12]	
EZ+	J3[13]	编码器输入
EZ-	J3[14]	
EB+	J3[15]	
EB-	J3[16]	
EA+	J3[17]	
EA-	J3[18]	
5V	J3[19]	供电输出
GND	J3[20]	GND
CANH	RJ1[D1]	
CANL	RJ1[D2]	
RS232_RX	RJ1[D3]	
RS485+	RJ1[D4]	
RS485-	RJ1[D5]	
RS232_TX	RJ1[D6]	

2. 硬件设计参考

2.1. 电源设计

板卡的电源输入与板卡上控制电路的输入为同一电压，为尽可能避免电机运行过程中对控制电路产生干扰，建议从电源输入端进行供电分割，并分别配置储能电容，以稳定控制电路的输入电压。整个电源的供电框图如下图 3 所示：

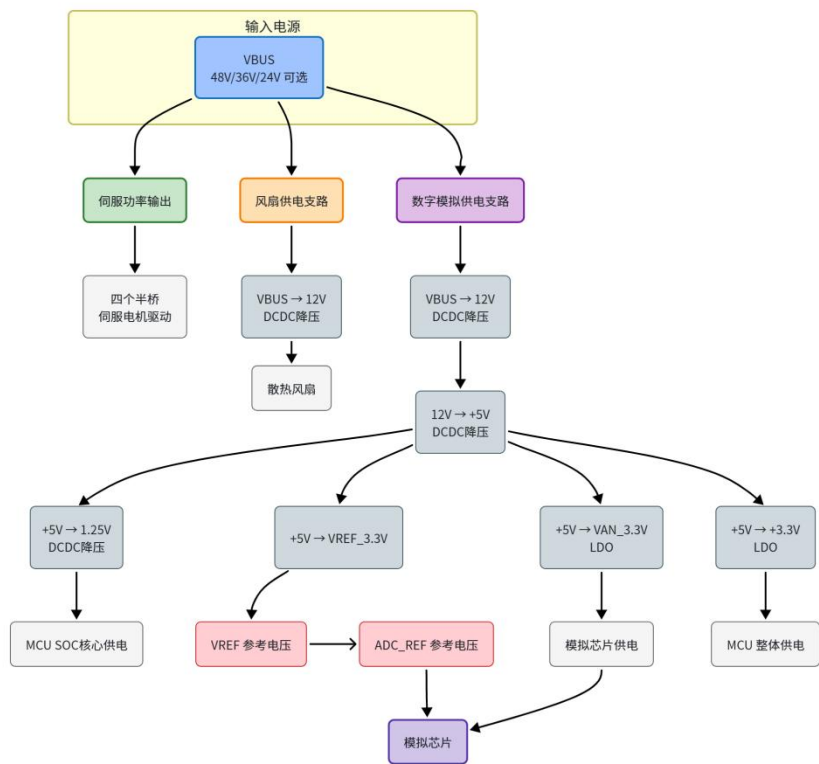


图 3 电源输入框图

控制部分各供电电平的选择整体跟随 MCU 规格：MCU 数字电路外设部分需 3.3V 供电，SOC 核心部分需 1.275V 供电，模拟部分需 3.3V 供电，模拟参考电压 VREF 典型值为 3.3V。为获得更优的工作性能，MCU 的数字与模拟 3.3V 供电推荐采用低噪声 LDO；尽管该芯片内部集成了一路为 SOC 供电的 DC/DC，可通过 3.3V 输入产生 1.275V 输出，但该内置 DC/DC 产生的额外开关噪声会给芯片模拟部分带来额外的精度损失。因此，推荐采用外部 DC/DC 为 SOC 供电，以提升 ADC 采集精度，如未使用芯片内部 DC/DC，推荐如下图 4 所示处理方式，输入处通过 10K 电阻接地，用户可根据自身对精度的需求及成本预算，合理平衡该部分设计方案。

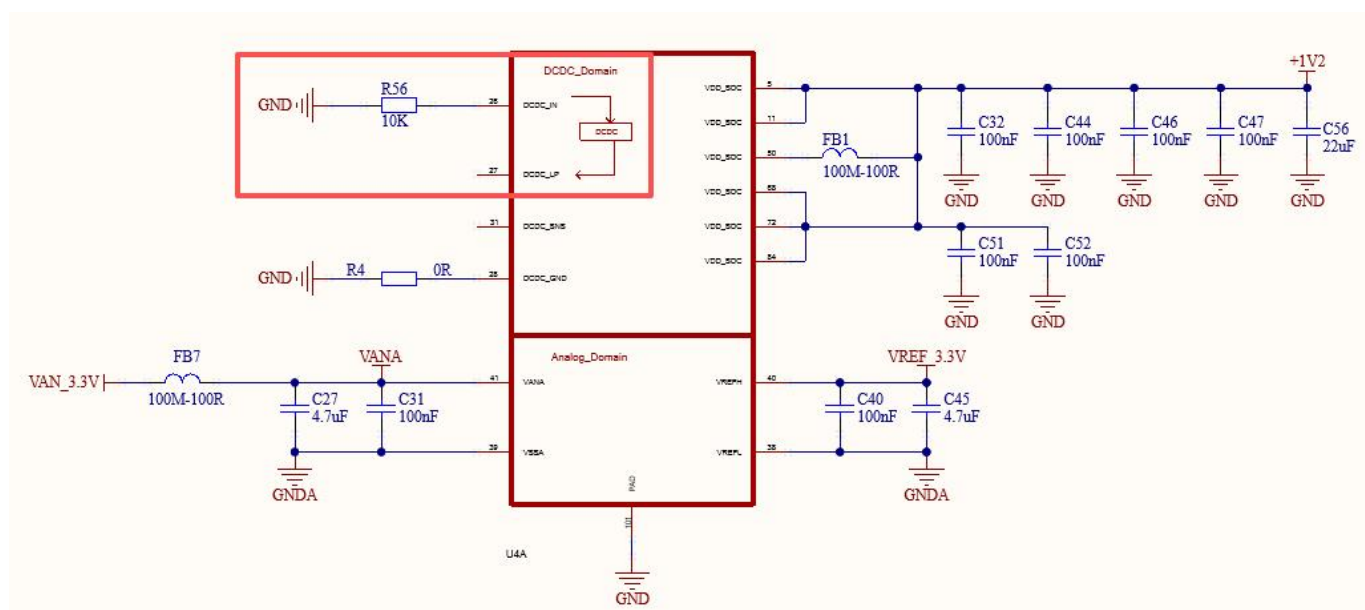


图 4 使用外部供电时的内部DCDC处理方案

供电电源设计中，建议功率开关回路的环路尽可能小，环路过大会产生更多的电磁干扰；同时不建议采用信号交叉布局，不同类型信号之间的相互耦合会导致串扰加剧、信噪比下降。由于板卡的功率部分与电源部分是主要的噪声源，建议采用分区布局策略，具体布局如下图 5 所示：

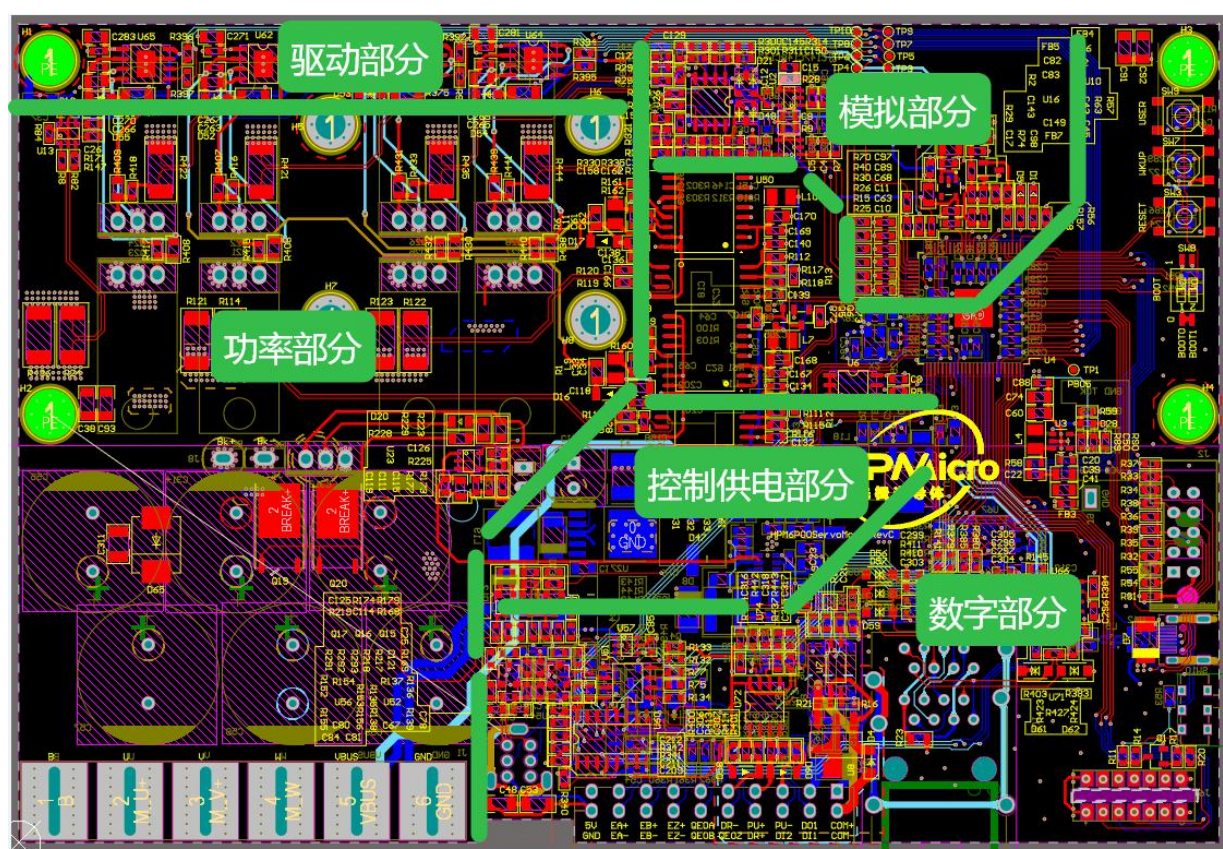
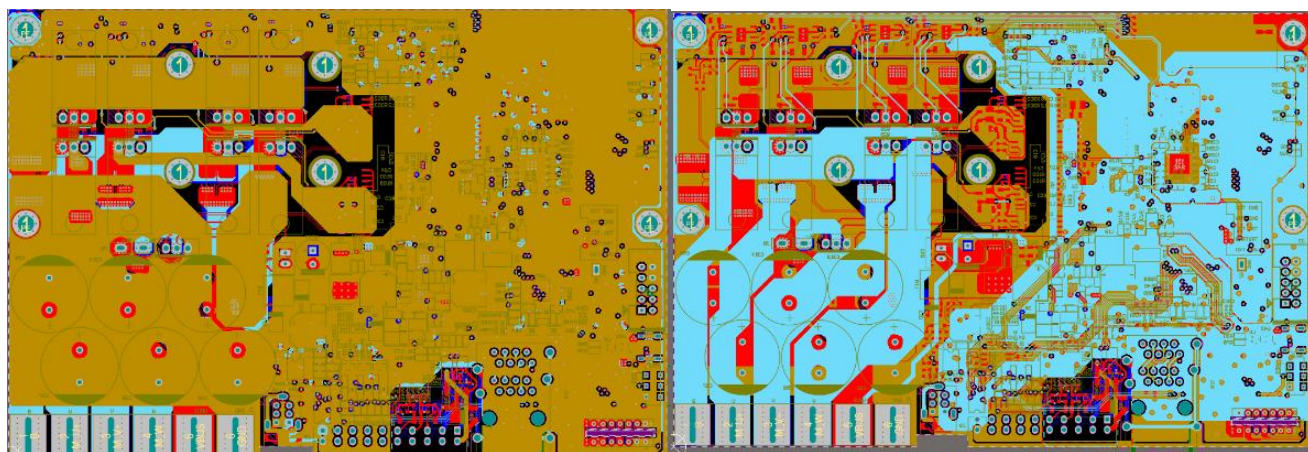


图 5 PCB设计应分区布局

设计过程中，用户可通过分割不同地平面（功率地、模拟地、数字地），使各类电流各自形成独立回流路径，减少不同环路之间的干扰；设计完成后，需重新审视各接地平面的连接方式。通常情况下，功率部分的电流回路清晰，易于与其他部分区分，因此可采用分割地层的方式隔离；而模拟采集部分与数字信号部分多集成于 MCU 内部，尽管在芯片设计时对 ADC 采样部分做了位置上的优化，即 ADC 尽可能放在芯片边角位置，但在实际应用当中由于诸多限制造成分割地平面面临诸多挑战，例如模拟地分割的太割裂，接地点位置选择不正确等，因此建议可以按照不分割地平面方式处理。

完整的地平面可为所有信号提供最短回流路径，且具备优异的屏蔽效果；与物理分割地平面相比，完整地平面的环路更小，更不易产生天线效应及额外的耦合干扰。因此，推荐的接地处理方案为：将功率地单独分割，从电源输入端口通过铺铜与主地平面实现单点连接；模拟部分与数字部分不再进行地平面分割，仅通过布局分区实现隔离——将功率器件、大电流走线布置在板卡一侧，模拟采集电路、参考电压电路布置在板卡另一侧且远离功率区域，通过布局优化实现噪声自然隔离，既保证地平面的完整性，又能有效控制功率噪声的传播路径，相比全分割方案更稳定可靠。如图 6 所示，PCB 各个叠层分别为：

1. TOP-红色，信号层
2. Layer2-棕色，GND
3. Layer3-浅蓝色，电源层
4. Bottom-蓝色，信号层



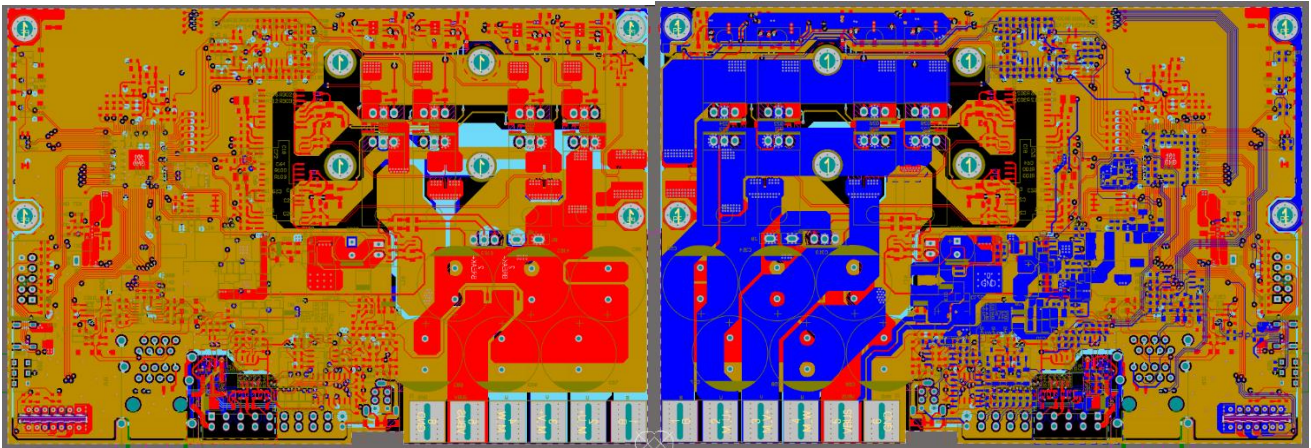


图 6 PCB设计的地平面参考

在电源管理芯片选择上，建议使用 1 MHz 以上开关频率并具有同步整流形式的 DC/DC，不建议使用二极管续流的电源管理芯片，二极管关断时，PN 区域存储电荷必须抽走，会产生一个非常陡的反向电流尖峰，容易引发振铃和电压尖峰。典型的 DC/DC 设计如下图所示，电感应尽量靠近电源管理芯片放置，缩短高频大电流的回流路径，减小功率环路面积，从而降低 DC/DC 开关噪声通过辐射和耦合对 ADC 等敏感模拟电路的干扰，同时也能减小寄生电感，保证 DC/DC 输出的瞬态响应稳定性。DC/DC 输入电容，应尽可能放在输入引脚附近，以提供最小化路径阻抗和环路面积。FB 引脚反馈参考电压应从电容上取参考电平，以获得更低噪声的基准，提高输出电压稳定性。其典型设计电路如下图所示，其中 U3 为电源管理芯片，C41，C39，C20 为输入电容，L4 为电感，C60，C74，C88 为输出电容。

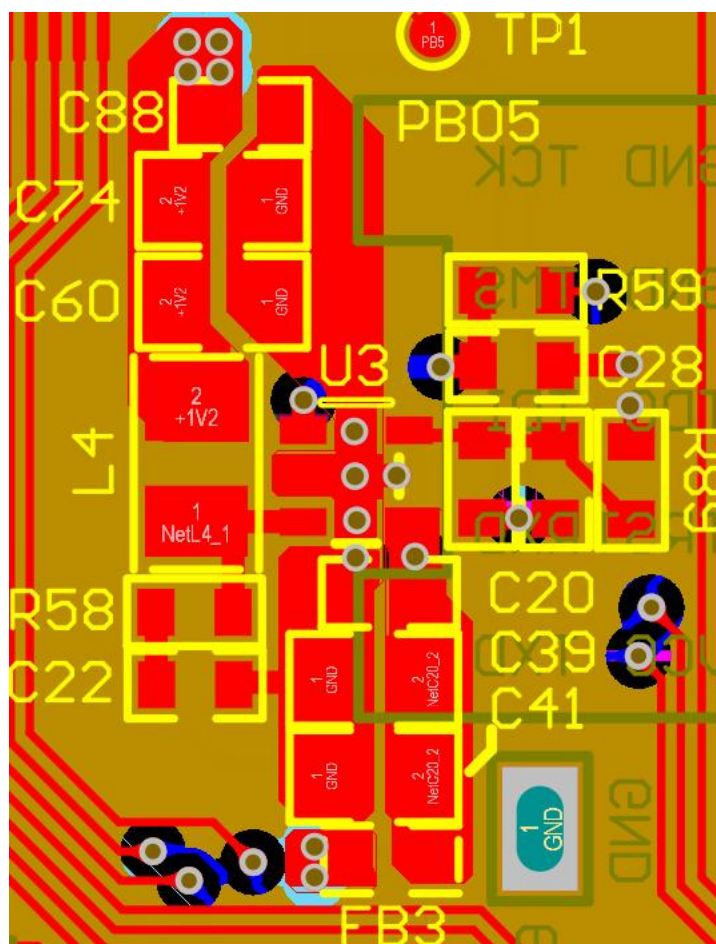


图 7 DC/DC 环路设计

在 MCU SOC 工作时 VDDSOC 电源管脚会抽取电流，因此每个电源引脚都需要独立配置去耦电容，并且去耦电容要尽可能近的靠近电源管脚，GND 端必须通过最短路径连接到芯片的 GND 引脚。同时需要注意的是靠近 VDDSOC 管脚的模拟管脚，由于 VDDSOC 管脚会产生 di/dt 噪声，推荐 VDDSOC 管脚附近不用做模拟输入。推荐优先使用远离 VDDSOC 管脚的模拟输入，一般推荐选择间隔 2-3 个 pin 以上的管脚，若无法避开，则推荐把相应 VDDSOC 管脚串入一个磁珠，以消除 di/dt 影响，注意 - 串入磁珠后磁珠和管脚之间不应再接电容。

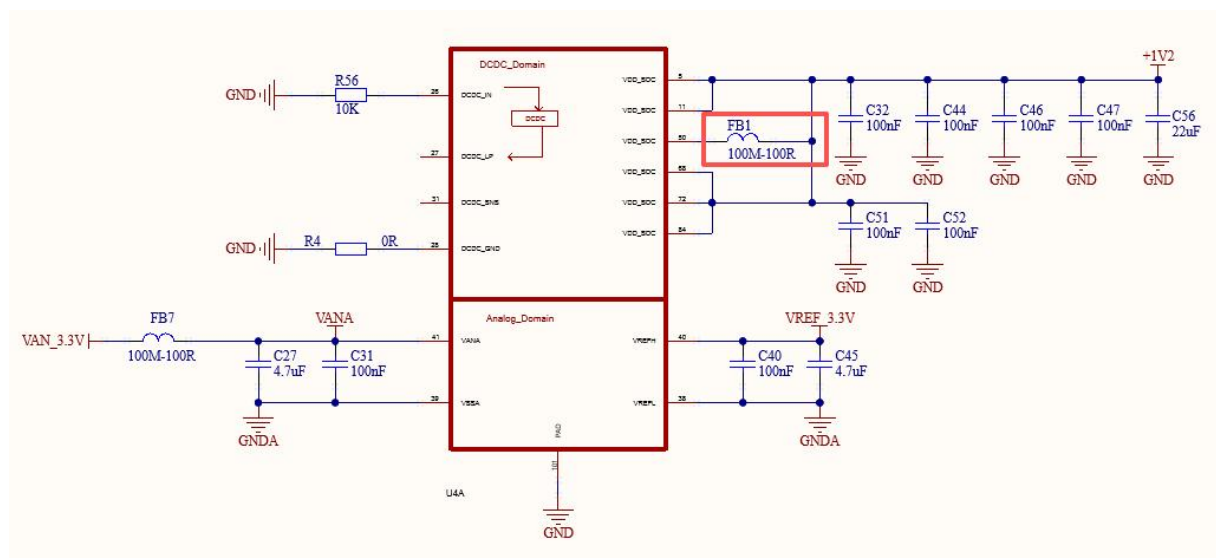


图 8 靠近模拟管脚附近的VDDSOC特殊处理

2.2. 模拟参考电压设计

模拟参考电压作为 ADC 采集的供电基准，直接决定了 ADC 采集精度的上限。一个优质的基准电压应具备高噪声抑制能力，且电压容差尽可能小；同时需兼顾成本控制与外围电路设计复杂度。

TLV431BQBZR 是一款经典的电压基准芯片，其精度公差为 0.5%，具备低温漂系数、低成本的优势，外围电路仅需配置一个电容即可正常工作。其典型参考电路如下图所示，设计过程中需注意：参考电压引脚的走线应避开功率信号线和数字信号线，防止噪声通过线路耦合影响基准电压稳定性。

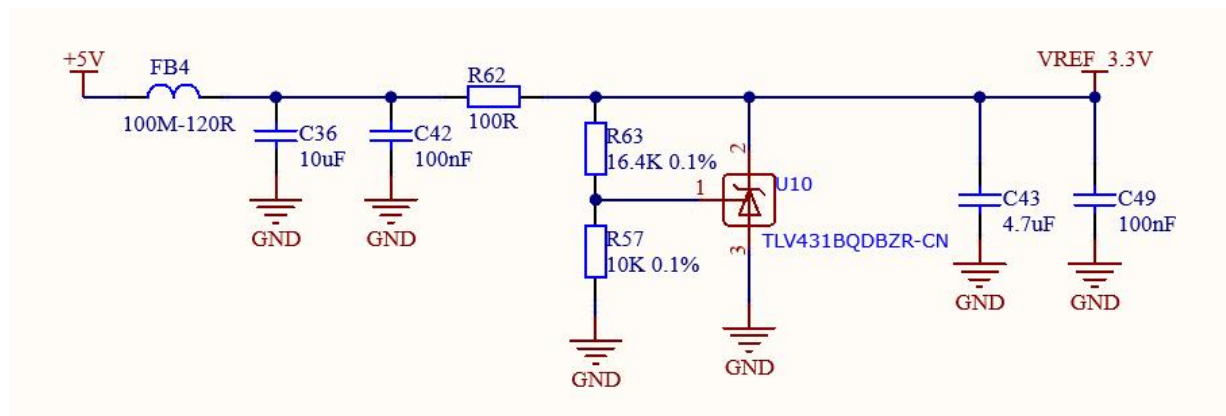


图 9 模拟参考电压设计

2.3. 信号采集设计

MCU 的模拟采集范围只能到 3.3V，而工业现场的信号电压范围往往更高，绝大多数场景，是不能够直接输入的。应当考虑输入信号的负载能力、幅值等参数，这种情况下，就需要模拟前端的设计，模拟前端是信号调理的关键环节，将输入信号调整到 ADC 合适的输入范围，良好的前端设计，能够提高信号的信噪比。

模拟前端设计有几条原则：根据不同的信号采集场景，应选择低失调电压/失调电流低温漂的运算放大器芯片，除此之外，还应当考虑不同频率下运放的压摆率和增益带宽积是否满足需求。

在 ADC 采集当中，应当使被测幅值，尽量满量程的输入给 ADC。这很好理解，更大的输入幅值对应更高的信噪比，提高有效位数，不过也应当考虑到，ADC 的线性失真情况，避免在 0V 和 3.3V 附近进行采集，通常情况下 1.6V~2.6V 是一个比较好的区间。

运算放大器的放大电路有很多种，其中差分电路具有优异的共模噪声抑制能力，在伺服电机领域，电机的桥臂会产生大的共模干扰和电流纹波，使用差分电路，可以很好地抑制噪声，提取有效的电流信号，因此本参考设计选择差分电路。

其参考设计如图 10 所示：

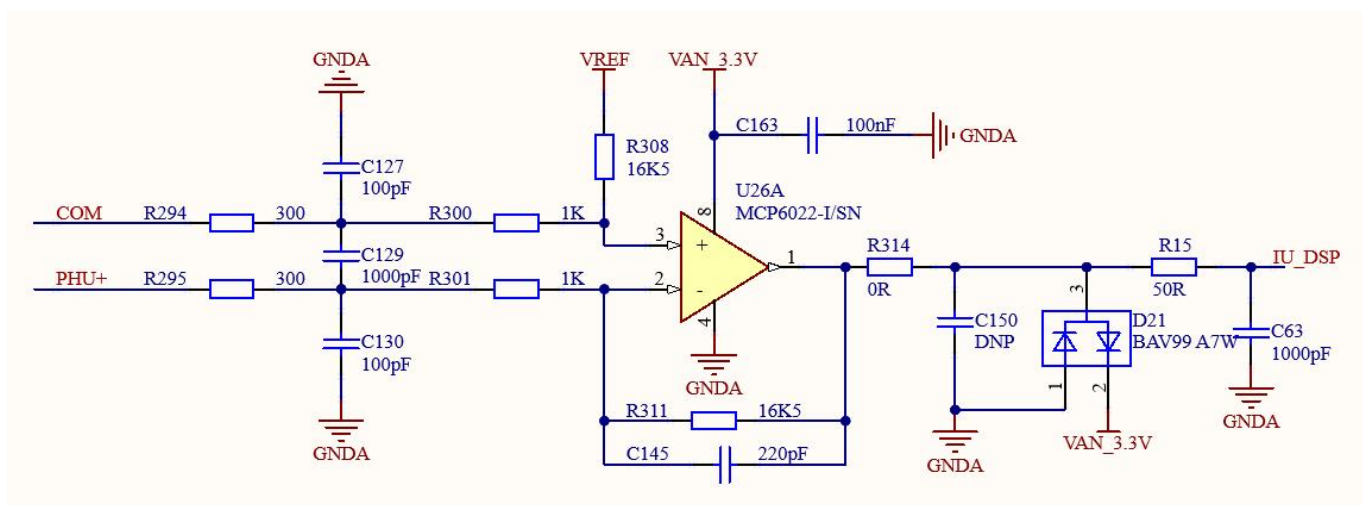


图 10 差分采集电路

该电路中，电容 C129 用于滤除差模噪声，电容 C127、C130 用于滤除共模噪声，电容 C145 主要防止运放自身震荡，以及相位补偿，保障输入信号的稳定性；通常情况下，C129 的容量应至少为 C127 的 10 倍，以保证共模滤波网络的平衡性。本设计案例中共模滤波器的截止频率为 265kHz，后级 R15 与 C63 组成的 RC 为 ADC 通道匹配滤波器，带宽为 3MHz，符合系统的阶跃带宽，该参数可根据实际系统特性、干扰环境及控制精度要求，进行适当调整优化，以达到最佳的滤波效果，兼顾信号传输效率与抗干扰能力。

2.4. ADC匹配滤波器设计

在 SAR ADC 采集系统中，外部 RC 滤波网络（串联电阻 R_S 、外部滤波电容 C_S ）与内部采样保持电容 C_H 、开关导通电阻 R_{on} 共同构成关键 RC 建立回路，其参数设置应遵循一定规律。

外部 RC 取值直接决定采样回路的时间常数与电压建立速度：若 RC 参数偏大，回路充放电变慢，在既定采样保持时间内，采样电压无法稳定建立至 0.5LSB 精度要求，同时多通道轮询时

上一通道残留电荷难以彻底泄放，易引发通道串扰与采样失真；若 RC 参数偏小，虽建立速度加快，但对高频干扰、毛刺噪声的滤波效果会显著下降，外部噪声直接进入 ADC 采样内核，降低信号的有效信噪比。此外，RC 参数与采样保持时间具有匹配关系，偏离设计值会破坏电压建立的完整性，导致 ADC 转换精度劣化、线性度下降，甚至出现数据跳变与采集不可靠问题。因此外部 RC 参数须结合采样保持时间、内部器件特性统一计算选型。

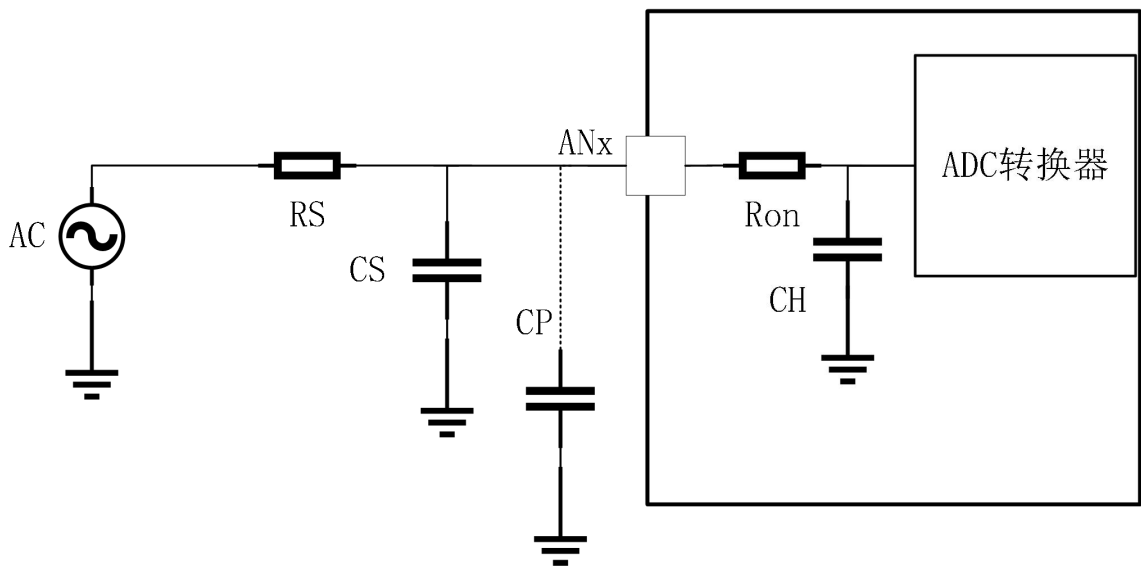


图 11 ADC转换器与RC匹配

可以通过一下公式计算：

RC 等效时间常数

$$\tau = (R_{on} + R_S) \times C_H + R_S \times (C_S + C_P) \tag{公式 1-1}$$

精度匹配时间常数

$$K = \ln \left(2^{N+1} \right) - \ln \left(\frac{C_S+C_P}{C_H} \right) \tag{公式 1-2}$$

最小保持采样时间

$$T = K \times \tau \tag{公式 1-3}$$

其中 R_{on} 为采样开关电阻， CH 为 ADC 内部的输入采样电容， CP 为寄生电容，通常取 10pF，或者忽略不计。HPM6P00 系列规格书中， $CH = 4pF$ ， $R_{on} = 300ohm$ ，N 为精度，这里为 16bit； RS 为输入电阻， CS 为输入电容。

假设 $RS = 100ohm$ ，保持电容 CS 与采样保持时间的关系如图 12 所示：

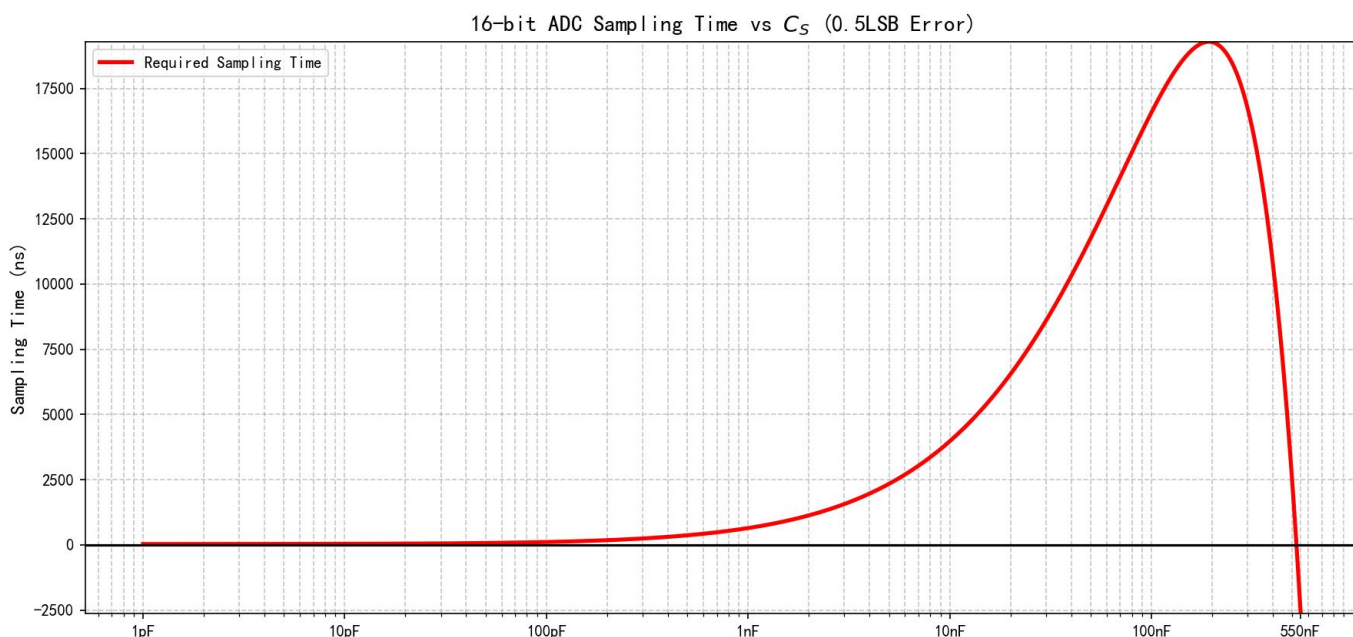


图 12 外部保持电容和采样保持时间的关系

可以看到，不同的外部电容，需要不同的采样保持时间，负数表示最小采样保持时间已满足需求，通常可以设计输入电容 C_S 为 C_H 的几十倍到几百倍。本案例 MCU 的 $C_H = 4pF$ ，因此可以取 $C_S = 1000pF$ ，已知测试例程采样保持时间为 20 个时钟周期，即 $T = 400nS$ ，想要维持 1/2 LSB 采样精度，根据公式：

$$K = \ln(2^{N+1}) - \ln\left(\frac{C_S + C_P}{C_H}\right)$$

可得 $K = 5.5314$ ； $\tau = T/K = 72.31 \times 10^{-9}s$ ；根据公式可得：

$$R_S = \frac{\tau - R_{on} \times C_H}{C_S + C_P + C_H}$$

$RS = 70ohm$ ，此为 RS 最大值，选型时适当选小一些，本案例选型 50ohm。

PCB 设计上，电阻和电容应尽量靠近芯片管脚，比较推荐的布局如下图 13 所示：

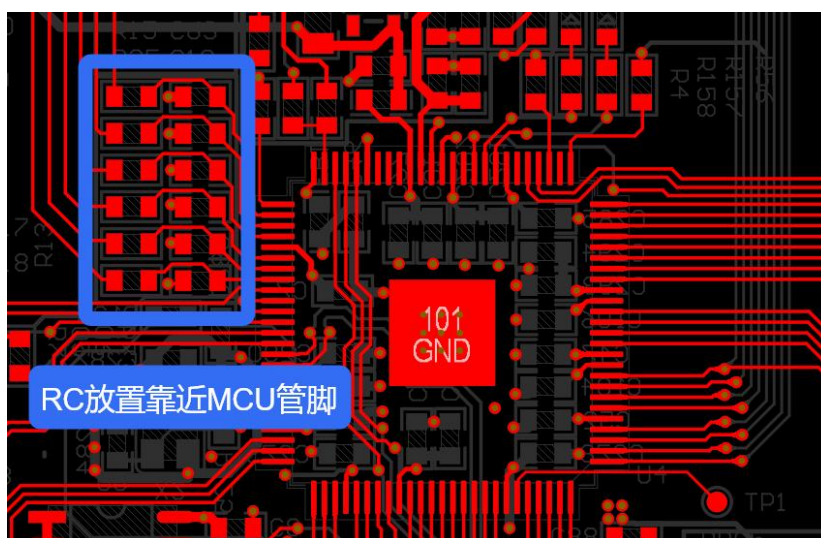


图 13 RC滤波器位置

2.5. 差分采集

在地平面干扰较强的场景中，差分采集可有效抑制噪声干扰。HPM6P00 系列 MCU 内置差分采集电路，通过软件将 ADC 通道配置为差分模式后，硬件内部减法器可对两个通道的采集信号进行相减处理，再输出处理结果；其中 ADC0 与 ADC1 互为差分通道，ADC2 与 ADC3 互为差分通道。

上述硬件差分配置仅支持两路差分通道同时采集，对于需采集三相电流的伺服电机而言已能满足需求——因三相电机的电流矢量和为零，采集任意两相电流后，可通过计算得出第三相电流。若需实现四相电流采集，上述硬件差分配置则无法满足需求，此时可引入软件减法器实现差分采集：分别使能 ADC0、ADC1、ADC2 作为单端电流采集通道，ADC4 采集运放基准电压 (typical 1.65V)，通过程序将单端采集信号与基准电压相减，即可获得最终的电流数据。该方案需额外配置运放以跟随基准电压；若用户对成本较为敏感，也可省略运放，对 GND 进行采集，直接利用软件算法实现差分采集功能。对 GND 采集的布线存在两种配置方法，方法一：将 GND 端与被采集信号一同引入，作为一个通道同步采集。该方法采集的噪声包含 MCU 内部噪声与外部干扰，但多余的采集线缆会增加走线难度。方法二：在 MCU 端采集，直接将芯片内部 GND 作为采集对象。该方法采集的噪声仅为 MCU 本身的基底噪声，但走线便捷，用户可根据实际应用场景灵活选取。本案例对四种方案均进行了测试，关于第四种采集模式，本设计采用近端接地的方式，如图 14 所示。



图 14 近端接地，作为参考基准

3. 测试内容

本章节描述了 HPM6P00ServoMotor 的测试内容，主要包含静态情况下各个电源支路的纹波，静态情况下，运放的静态输出，ADC 静态采集的精度。

3.1. 测试设备

- 1、带有串口助手的电脑；
- 2、示波器，型号 ZDS4054；
- 3、USB 转 TTL 工具，J-LINK 调试器；

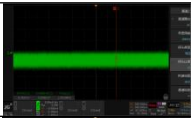
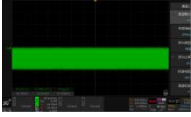
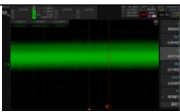
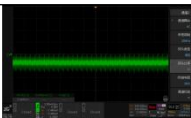
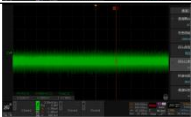
- 4、杜邦线若干；
- 5、数字电源，型号UTP1306S。
- 6、万用表 DMM6500；

4. 硬件测试

4. 1. 纹波测试

纹波测试的电压信号为板卡内部各个DC/DC的纹波电压纹波情况，测试点位均选取DC/DC经去耦电容滤波后的输出点，较为准确地反映了板卡电源噪声的真实情况。纹波测试如表3所示：

表3. 各电源轨道纹波情况

测试项	测试说明	测试结果	测试图片
DCDC 纹 波 测 量	1. U5输出纹波测量，标识：+5V，测试点位：C71	Vpp = 10.4mV	
MCU 供电 1.2V 纹波测量	1. U3纹波测量，标识：+1.2V 测试点位：C74	Vpp=44mV	
MCU 供电 3.3V 纹波测量	1. U12输出纹波测试，标识：+3.3V 测试点位：C77	Vpp = 7.28mV	
模 拟 供 电 3.3V 纹 波 测 量	1.U16 输出纹波测试，标识：VAN_3.3V 测试点位：C149	Vpp = 3.8mV	
参 考 电 压 VREF3.3V 纹波测量	1.U10 输出纹波 cueing，标识：VREF_3.3V 测试点位：C49	Vpp = 5.5mV	
隔离模拟ADC	1. U49输出纹波，标识：U5V 测试点：C117 2. U50输出纹波，标识：V5V 测试点：C136	未焊接	
风扇供电输出纹波测量	1. U27输出纹波测量 测试点位：C108	未焊接	

4. 2. 电流采集输入偏置电压

为了使电流采集更加准确，所有的电流采集都设置了偏置，以图采集的电压、电流更好的落在ADC的线性工作区内，偏置电压在1.65V。

表4. 静态采集输出

功能	测试点说明	测试数据	测试记录
----	-------	------	------

总电流输出点位： PD20	1. U13运放输出，标识：OC_MCU，测试点位：C98	1. 2460V	
U相电流输出点位： PD9	1. U26A运放输出，标识：IU_DSP，测试点位：C63	1. 5929V	
V相电流输出点位： PD10	1. U26B运放输出，标识：IV_DSP，测试点位：C11	1. 6001V	
W相电流输出点位： PD16	1. U30A运放输出，标识：IW_DSP，测试点位：C68	1. 5960V	
B相电流输出点位： PD17	1. U30B运放输出，标识：IB_DSP，测试点位：C89	1. 5979V	
参考电压测试点位1：	1. VREF参考电压，标识：VREF，测试点位：C96 2. ADC参考电压，标识：ADC_REF，测试点位：C97	1. 5967V 1. 5967V	
参考电压测试点位2：	1. DIFF 参考电压，标识：DIFF_REF0，测试点位：C10 2. DIFF参考电压，标识：DIFF_REF0，测试点位：C17	1. 5974V 1. 5992V	

			
--	--	--	---

板卡上引出了多路ADC，分别检测不同的电压电流信息，本次测试了4路具有代表性的ADC，进行单端电流采集，测试引脚如表5所示：

表5. 被测试引脚说明

	U相电流	V相电流	W相电流	总电流
GPIO引脚	PD9	PD10	PD16	PD20
ADC	ADC0.9	ADC1.10	ADC3.0	ADC2.04

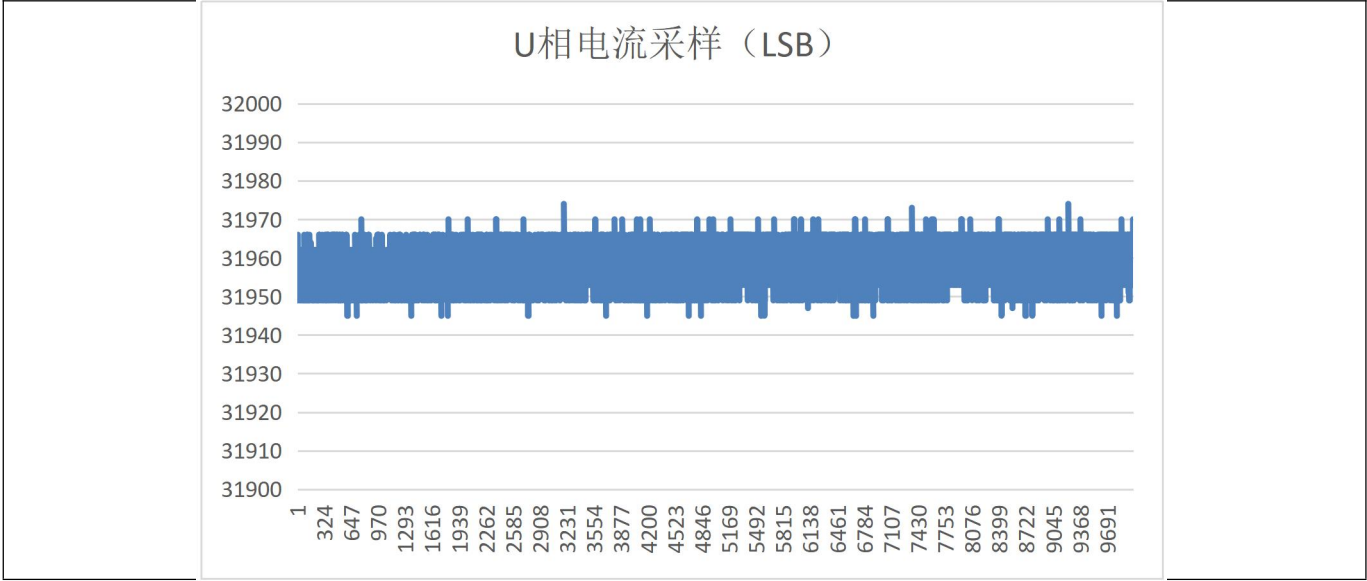
测试方法如下，电机PWM不发波，电机电流为0，将测试例程程序烧录进芯片，系统上电启动后，等待2秒Dealy之后，进入ADC采集流程，同时MCU执行复杂算法，共计采集10000个点数据，采集数据通过串口输出。

去除前三个点不稳定数据后，对剩余9997个数据点进行分析，误差如下表6所示，可以看出U/V/W三相电流跳变峰峰值最大为33LSB，总电流最大跳变峰峰值为43LSB。

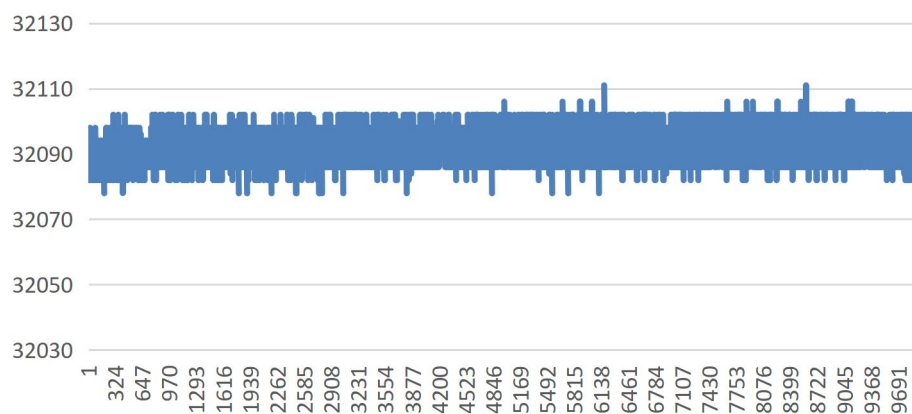
表6. ADC采集通道的误差分析

	U相电流	V相电流	W相	总电流
Peak to Peak (LSB)	29	33	33	43
均方根误差 δ （只保留两位小数）	4.36	4.24	4.63	5.58

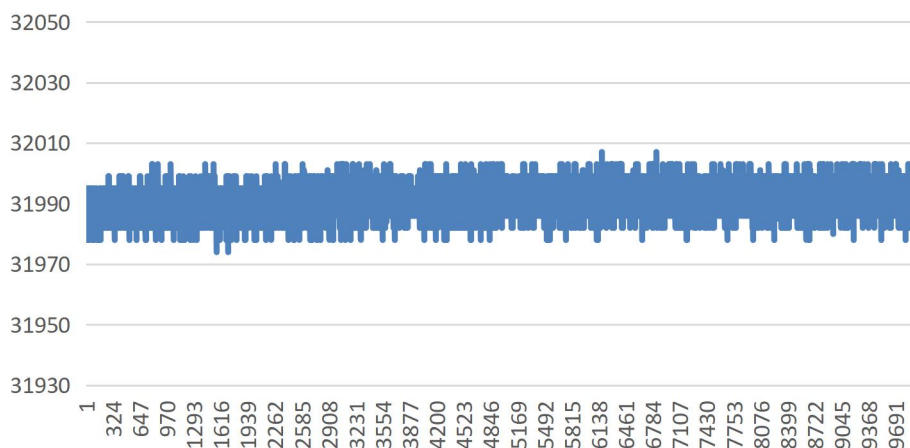
整个数据集的量化噪声如下图15所示：



V相电流采样 (LSB)



W相电流采样 (LSB)



总电流采样 (LSB)

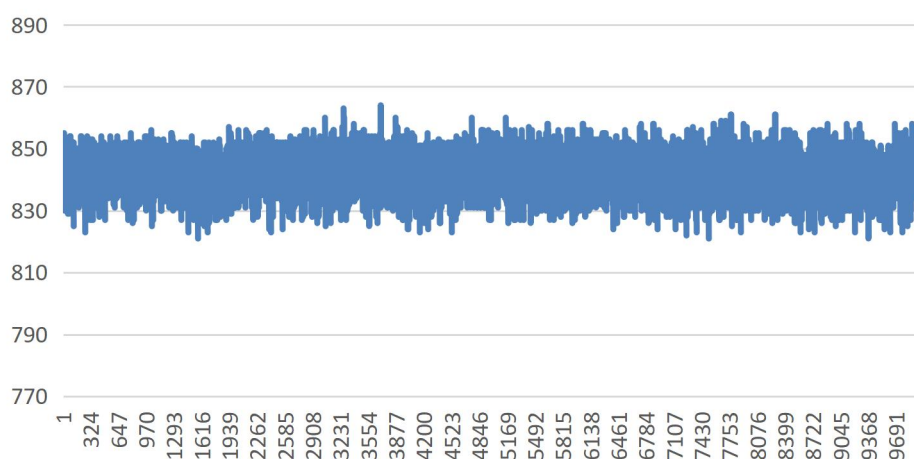


图 15 单端采集的ADC数据集的采样噪声

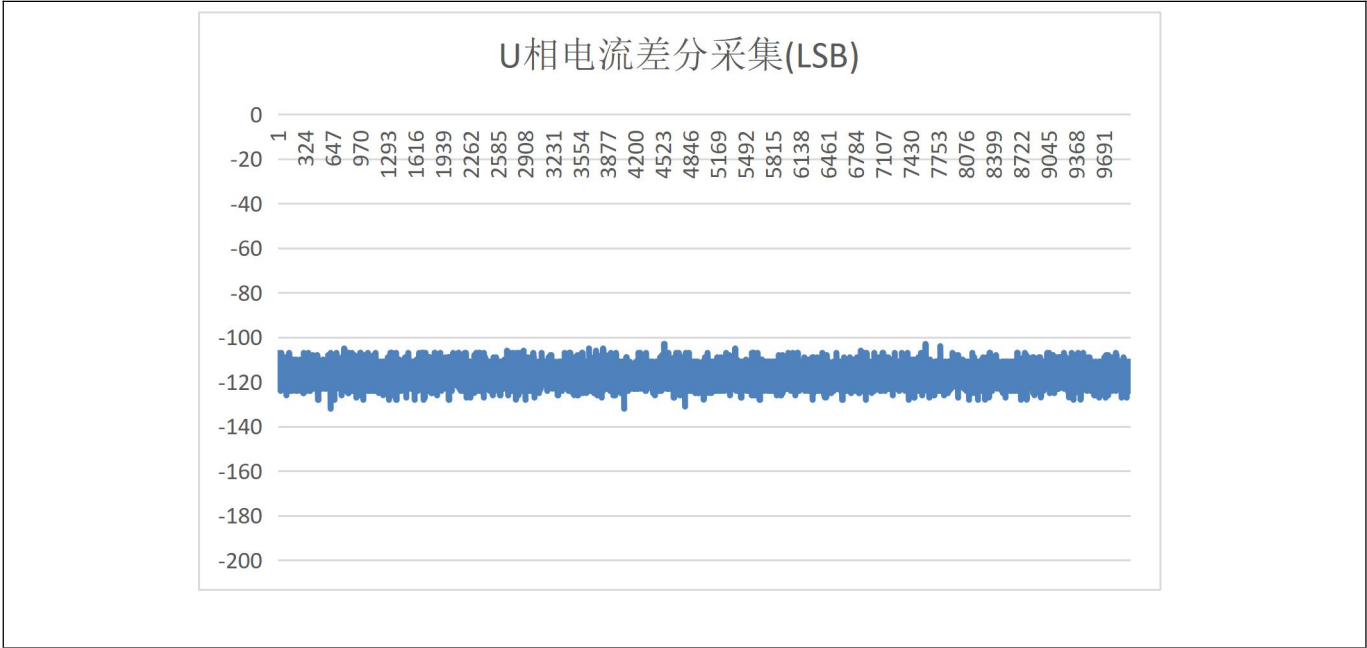
将ADC配置为差分模式，PD9和PD8配为一组，PD17和PD19配为一组。

表7. 被测试引脚说明

	U 相电流	DIFF_REF0	B 相电流	DIFF_REF1
GPIO 引脚	PD9	PD8	PD17	PD19
ADC	ADC1. 9	ADC0. 8	ADC2. 1	ADC3. 3

表8. U/B相分别与参考信号0和参考信号1差分结果

	U相差分电流	B相差分电流
Peak to Peak (LSB)	29	24
均方根误差 δ （只保留两位小数）	3. 76	3. 17



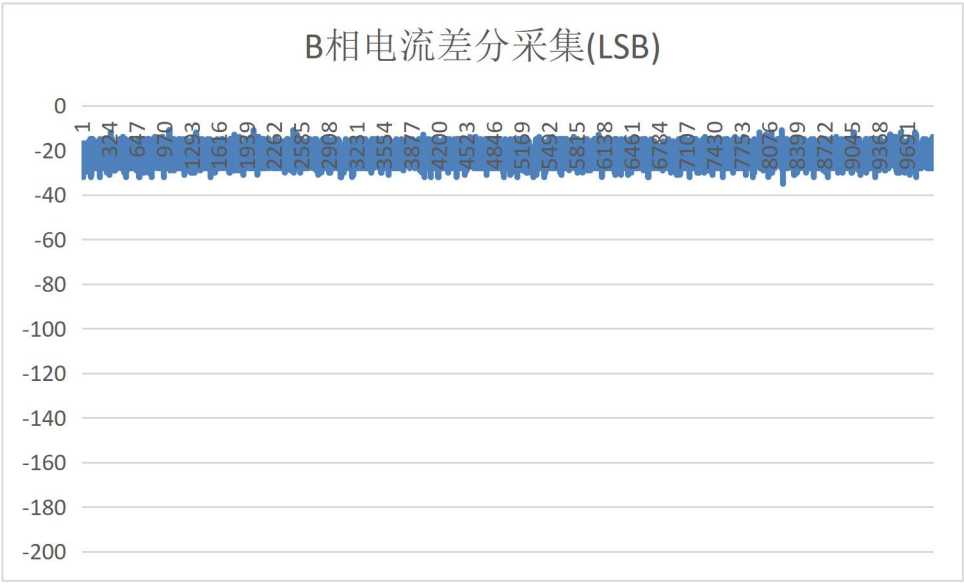


图 16 与参考信号差分采集的ADC数据集的采样噪声

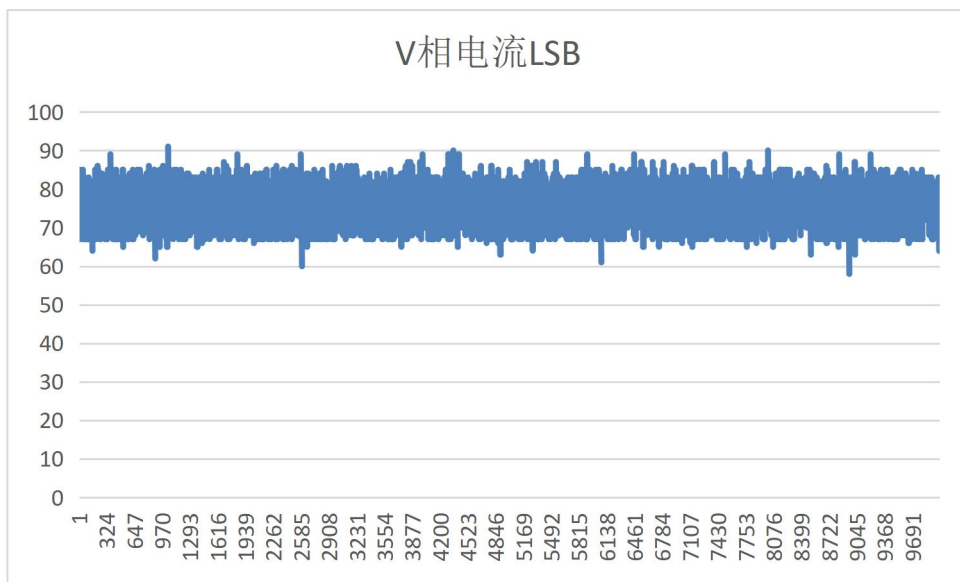
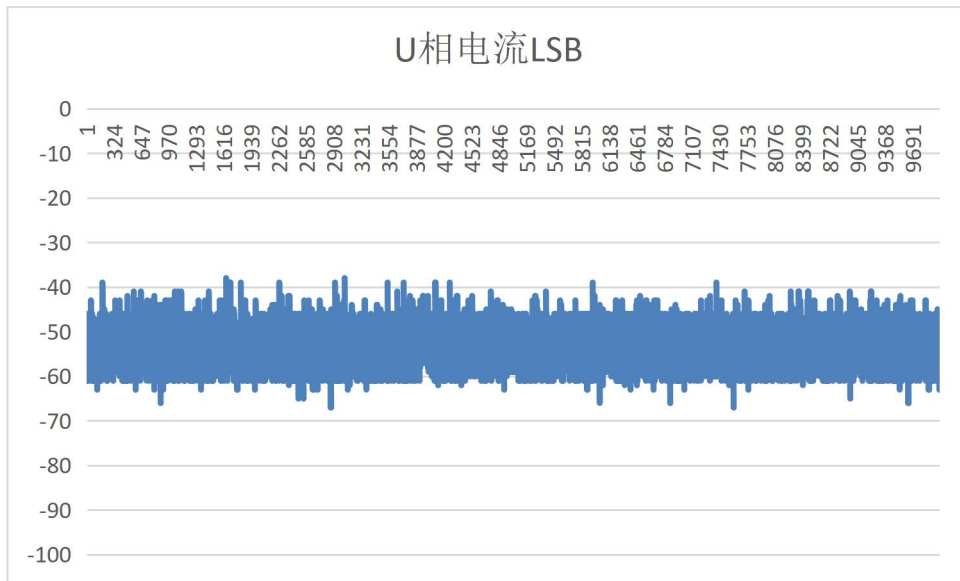
将ADC配置为差分模式。

表9. 被测试引脚说明

	U 相电流	V 相电流	B 相电流	ADC_REF
GPIO 引脚	PD9	PD10	PD17	PD19
ADC	ADC0. 9	ADC1. 10	ADC2. 1	ADC3. 2

表10. U/V/W相分别跟参考信号差分结果

	U相差分电流	V相差分电流	B相差分电流
Peak to Peak (LSB)	29	33	23
均方根误差 δ （只保留两位小数）	3.90	4.05	3.72



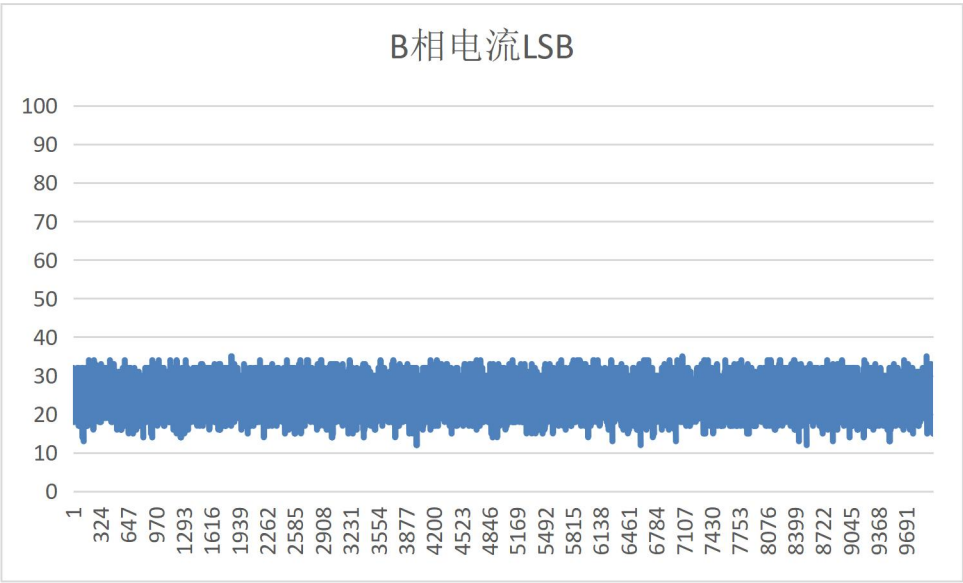


图 17 分别与同一参考信号差分的ADC数据集的采样噪声

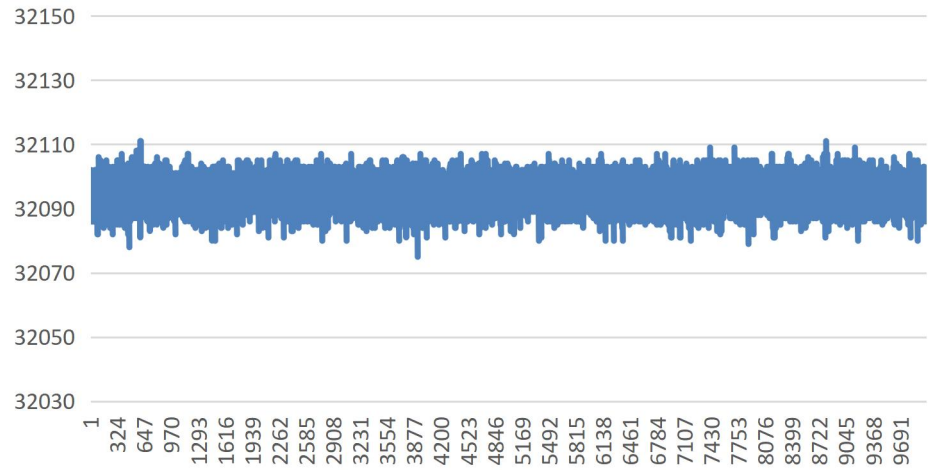
表11. 被测试引脚说明

	U 相电流	V 相电流	B 相电流	GND
GPIO 引脚	PD9	PD10	PD17	PD24
ADC	ADC0. 9	ADC1. 10	ADC2. 1	ADC3. 8

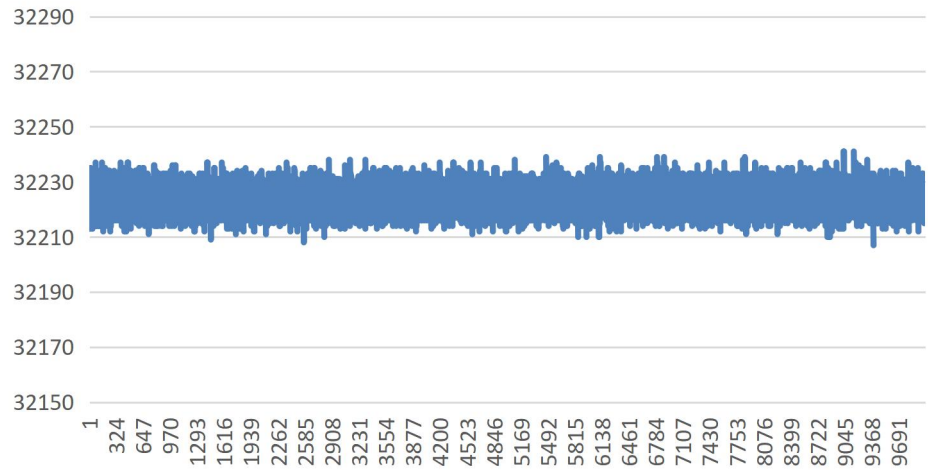
表12. U/V/W相分别与地差分结果

	U相差分电流	V相差分电流	B相差分电流
Peak to Peak(LSB)	36	34	37
均方根误差 δ （只保留两位小数）	4. 27	4. 63	3. 69

U相电流与地差分 (LSB)



V相电流与地差分 (LSB)



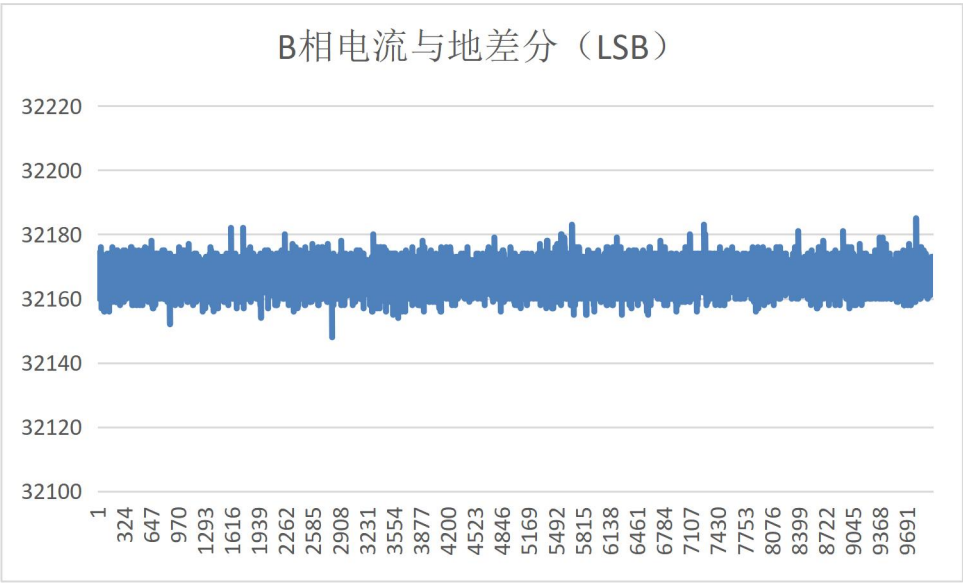


图 18 分别与地信号差分的ADC数据集的采样噪声